

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. 7
H01L 21/52

(11) 공개번호 특2002 - 0036669
(43) 공개일자 2002년05월16일

(21) 출원번호 10 - 2001 - 0045839
(22) 출원일자 2001년07월30일

(30) 우선권주장 JP - P - 2000 - 0034 2000년11월10일 일본 (JP)
9304

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4조메 6반치

(72) 발명자 가지와라료이찌
일본도쿄도지요다꾸마루노우찌 1조메 5 - 1 신마루노우찌 벌딩 가부시키가이샤 히타치세이사쿠
쇼지적소유권본부내
고이즈미마사히로
일본도쿄도지요다꾸마루노우찌 1조메 5 - 1 신마루노우찌 벌딩 가부시키가이샤 히타치세이사쿠
쇼지적소유권본부내
모리따도시아끼
일본도쿄도지요다꾸마루노우찌 1조메 5 - 1 신마루노우찌 벌딩 가부시키가이샤 히타치세이사쿠
쇼지적소유권본부내
다까하시가즈야
일본도쿄도지요다꾸마루노우찌 1조메 5 - 1 신마루노우찌 벌딩 가부시키가이샤 히타치세이사쿠
쇼지적소유권본부내
니시무라아사오
일본도쿄도지요다꾸마루노우찌 1조메 5 - 1 신마루노우찌 벌딩 가부시키가이샤 히타치세이사쿠
쇼지적소유권본부내
시노다마사요시
일본도쿄도지요다꾸마루노우찌 1조메 5 - 1 신마루노우찌 벌딩 가부시키가이샤 히타치세이사쿠
쇼지적소유권본부내

(74) 대리인 장수길
구영창

심사청구 : 없음

(54) 반도체 장치의 플립 칩 실장 구조 및 실장 방법

요약

반도체 장치는 반도체 칩과 배선 기판을 포함한다. 반도체 칩의 금속 전극과 배선 기판의 내부 접속 단자가 귀금속 범프를 통해 금속 접합으로 접속된다. 금속 접합부를 구성하는 금속 재료의 융점이 275°C 이상이며, 칩과 기판 간에 무기 필러를 50vol% 이상 포함하는 수지(언더필)를 포함한다.

대표도
도 3

색인어
반도체 칩, 전극, 범프, 내부 접속 단자, 배선 기판, 반경화 수지 시트

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 플립 칩 실장 방법의 일 실시예.

도 2는 본 발명에 따른 플립 칩 실장 방법의 타임차트의 일 실시예.

도 3은 본 발명에 따른 플립 칩 실장 방법의 접합 진행 과정의 일례.

도 4는 본 발명에 따른 플립 칩 실장 방법을 실시하는 접합 장치의 일 실시예.

도 5는 본 발명에 따른 플립 칩 접합 장치의 상세 구성의 일 실시예.

도 6은 본 발명에 따른 플립 칩 접합 장치의 유기 테이프 공급 기구의 일 실시예.

도 7은 본 발명에 따른 플립 칩 접합부의 단면 사진의 일례.

도 8은 칩/기판 간극에 의존한 필러 함유량과 보이드 발생율의 관계.

도 9는 본 발명에 따른 플립 칩 실장 방법의 다른 일 실시예.

도 10은 본 발명에 따른 플립 칩 실장 구조의 일 실시예.

도 11은 필러 함유량에 의존한 온도 사이클 수와 누적 단선 불량 발생율의 관계.

도 12는 본 발명에 따른 플립 칩 실장 방법의 타임차트의 다른 일 실시예.

도 13은 본 발명에 따른 플립 칩 실장 방법의 다른 일 실시예.

도 14는 본 발명에 따른 플립 칩 접합 장치의 틀 가열 기구의 다른 일 실시예.

도 15는 본 발명에 따른 플립 칩 실장에 적합한 귀금속 범프 형상의 일 실시예.

도 16은 본 발명에 따른 플립 칩 실장 구조의 다른 일 실시예.

도 17은 본 발명에 따른 플립 칩 실장 구조의 다른 일 실시예.

도 18은 칩/기판 간극에 의존한 필러 함유량과 보이드 발생율의 관계.

도 19는 언더필의 유무 및 접합 온도에 의존한 범프 높이와 누적 단선 불량 발생율의 관계.

도 20은 본 발명에 따른 플립 칩 실장 구조를 갖는 BGA 패키지의 일 실시예.

도 21은 본 발명에 따른 플립 칩 실장 구조를 갖는 BGA 패키지의 다른 일 실시예.

도 22는 본 발명에 따른 플립 칩 실장 구조를 갖는 BGA 패키지의 다른 일 실시예.

도 23은 본 발명에 따른 플립 칩 실장 구조를 갖는 세라믹 모듈의 일 실시예.

도 24는 본 발명의 플립 칩 실장을 포함하는 모듈 조립 수순의 일 실시예.

도 25는 본 발명의 플립 칩 실장을 포함하는 모듈 조립 수순의 다른 일 실시예.

도 26은 본 발명에 따른 플립 칩 실장 구조를 갖는 멀티 칩 모듈의 일 실시예.

도 27은 본 발명에 따른 플립 칩 실장 구조를 갖는 적층형 멀티 칩 패키지의 일 실시예.

도 28은 본 발명에 따른 플립 칩 실장 구조를 갖는 적층형 멀티 칩 패키지의 다른 일 실시예.

도 29는 본 발명에 따른 플립 칩 실장 구조를 갖는 적층형 멀티 칩 패키지의 다른 일 실시예.

도 30은 본 발명에 따른 플립 칩 실장 구조를 갖는 적층형 멀티 칩 패키지의 다른 일 실시예.

도 31은 본 발명에 따른 플립 칩 실장 구조를 갖는 멀티 칩 모듈의 다른 일 실시예.

도 32는 본 발명에 따른 플립 칩 실장 구조를 갖는 멀티 칩 모듈의 다른 일 실시예.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 반도체 칩

2 : 전극

3, 3' : Au 범프

4 : 유기 배선 기판

5 : 내부 접속 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 귀금속 범프를 전기적 접속 재료로 사용한 반도체 칩의 플립 칩 실장 구조에 관한 것이다.

종래의 Au 범프를 이용한 플립 칩 실장 방법으로서는, 1) 절연성 수지를 절연성 기판에 도포하고 절연성 기판과 반도

체 소자의 위치를 일치시켜 하중을 가하고 반도체 소자의 돌기 전극과 절연성 기판의 도체 배선을 접촉시키고 절연성 수지를 경화시켜서 접속하는 실장 방법이, 특개평 2 - 28946호 공보에 기재되어 있다. 또한, 2) 이방성 도전성 접착재를 통해 가열함과 함께 가압과 초음파를 가하여 칩에 형성된 범프와 기판의 전극을 접속하는 실장 방법이, 특개평 11 - 26922호 공보에 기재되어 있다. 또한, 3) 칩에 형성된 범프와 기판의 접속부를 초음파를 가하면서 가열 가압에 의해 접속하는 실장 방법이, 특개평 10 - 107078호 공보에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 칩을 배선 기판에 페이스 다운으로 탑재한 실장 구조에 있어서, 전기적 접속부의 온도 사이클 신뢰성과 전기 특성이 우수한 플립 칩 실장 구조를 제공하는데 있다.

또한, 본 발명의 다른 목적은 복수의 귀금속 범프를 형성한 반도체 칩을 배선 기판에 플립 칩 실장하는 방법에 있어서, 귀금속 범프와 배선 기판의 내부 접속 단자와의 금속 접합과, 칩과 기판 간에의 수지 충전을 하나의 공정으로 행하여 접속부의 전기 저항을 작게 할 수 있고 또한 고필러 함유율의 수지를 이용하여 보이드가 없는 언더필 충전이 가능한 생산성과 접합 신뢰성이 높은 플립 칩 실장 방법을 제공하는데 있다.

종래의 1)의 실장 방법에 의한 실장 구조로는, 언더필 수지의 내열성 등의 문제에서 가열 온도를 높게 하는 것은 곤란하며, 범프와 패드 간의 금속 접합(본 명세서에서는 원자 레벨로 접합된 것을 금속 접합이라고 함)이 달성되지 않는다. 또한, 계면에 수지가 남기 때문에 접촉 저항이 상당히 커서 수십 ~ 백수십mΩ 정도의 크기가 된다. 향후, 반도체 칩은 점점 더 저전압 구동화가 진행되는 경향에 있다. 그 경우, 접촉 저항이 크면 칩의 회로를 정상적으로 동작시키는 것이 곤란해진다. 또한, 접속부의 저항에 의한 손실이 커서 소비 전력의 점에서도 문제가 된다. 또한, 고온 다습한 환경 하에서 수지가 흡습하여 팽창하면 저항 증가나 극단적인 경우에는 도통 불량을 야기하여 신뢰성의 점에서도 문제가 있다.

종래의 2)의 실장 방법에 의한 실장 구조에서는, 도전 입자의 접촉에 의해 전기적 도통이 확보되고 있기 때문에, 금속 접합이 달성 곤란하며 접속부의 전기 저항이 크다는 문제가 있다. 또한, 범프가 미소해진 경우, 포착되는 도전 입자의 수가 변동하고, 접속부의 전기 특성이 불안정해질 가능성이 있다.

종래의 3)의 실장 방법으로는, 금속 접합은 달성되지만, 이 방법으로는 칩과 기판 간에 수지가 사전에 충전되지 않기 때문에, 접합 후에 액상 수지를 모세관 현상에 의해 유입하여 언더필을 충전하는 공정을 취한다. 이 방법에 의한 실장 구조로는, 칩 면적이 커진 경우나 칩과 기판과의 간극이 작아진 경우에, 수지가 유입되는 속도의 장소에 따른 차이에서부터 공기층이 남게 되어 보이드 결함이 생기기 쉬워진다는 문제가 있다. 또한, 극단적인 경우에는 수지의 충전 그 자체가 곤란한 경우도 있다. 특히, 열 팽창율을 내리기 위해 혼입되어 있는 무기 필러의 함유율이 높을수록 이 문제는 현저하다.

또, 여기서 말하는 보이드란, 물이 액체에서 기체로 변할 때의 체적 팽창(1.2×10^3 배)에 의해서 발생하는 칩/기판 간을 누르는 압력이 1개의 범프 접합부를 박리하는 레벨의 1/10(1g)을 넘는 사이즈(직경 : 약 30μm)를 대상으로 하고 있다.

본 발명 중 하나의 형태로서, 전기 신호를 처리하는 회로를 갖는 반도체 칩과, 상기 반도체 칩에 설치된 전극과, 상기 전극 상에 형성된 범프와, 상기 전극으로부터 상기 범프를 통해 전기 신호를 추출하는 내부 접속 단자와, 상기 내부 접속 단자를 설치한 배선 기판을 구비하고, 상기 반도체 칩과 상기 배선 기판 간에 가열하여 연화하는 반경화 수지 시트를 삽입하여 하중을 걸어 가열하고, 초음파 진동을 제공하여 상기 범프와 상기 내부 접속 단자가 금속 접합된 것을 특징으로 하는 플립 칩 실장 구조로 하였다.

상기 범프는 귀금속인 것이 바람직하며, 특히 Au을 이용하는 것이 바람직하다.

또한, 상기 금속 결합부를 구성하는 금속 재료의 용점은 275°C 이상으로 하는 것이 좋다. 상기 반도체 칩과 상기 배선 기판 간에 삽입되는 수지 시트는 무기 필러를 50vol% 이상 포함하는 것을 특징으로 한다.

또한, 반도체 칩의 금속 전극과 배선 기판의 내부 접속 단자가 귀금속 범프를 통해 금속 접합으로 접속되고, 그 접합부를 구성하는 금속 재료의 용점이 275°C 이상이며, 칩과 기판 간에 무기 필러를 50vol% 이상 포함하는 수지(언더필)를 포함하고, 수지는 보이드가 없이 형성되어 있고, 수지에 포함되는 무기 필러의 장소에 의한 함유율의 변동을 10% 이하(변동의 정의는 칩면 내의 임의의 장소로부터 1㎟ 정방형의 수지를 추출하여 구한 필러 함유율의 변동, 그렇게 해서 구한 최대 및 최소치의 차를 평균 함유율에서 제한 값을 변동율이라고 표현)로 하였다.

또한, 반도체 칩의 전극에 볼록 형상을 갖는 귀금속제의 돌기 범프를 형성하고, 배선 기판의 내부 접속 단자의 표면에 귀금속을 형성하고, 미소한 무기 필러를 혼입하여 반경화시킨 열 경화성의 수지 시트를 그 배선 기판의 소정 위치에 접착하고, 그 배선 기판을 가열 스테이지에 세트하고, 그 위에서부터 칩을 페이스 다운으로 범프와 내부 접속 단자를 위치 정렬하여 탑재하고, 칩 상에서 초음파와 하중을 가하기 위해 가열한 접합 툴을 소정의 힘으로 압박하고, 귀금속 범프가 가열에 의해 연화한 수지 시트에 메워져서 접속 패드에 접촉한 후, 초음파 진동을 가하여 수지 시트의 일부를 칩과 기판 간에서부터 외부로 압출하면서 귀금속 범프를 끊어서 패드에 금속적으로 접합하는 방법으로 하였다.

이 방법에 따르면, 수지를 칩과 기판 간에서부터 압출하면서 접착하게 되기 때문에, 칩과 기판과의 간극과 동등 이상의 크기를 갖는 보이드의 발생을 100%의 확률로 방지하는 것이 가능해진다. 또한, 필러 함유율이 높아도 시트가 제작 가능한 범위이면, 칩과 기판 간에 균일하게 필러가 분산된 상태에서 충전되게 되어, 유기 수지의 충전 품질이 일정한 실장이 가능해진다. 이 방법으로는 유동성에 상관없이 열 안정성이나 흡습성이 낮은 수지를 사용할 수 있어, 베이킹에 의한 경화 처리 후의 수지의 고온 안정성을 높게 할 수 있고, 수지의 열 분해에 의해 생성되는 물질에 의한 고온 다습한 환경 하에서의 부식 등의 문제나 가수 분해에 의한 수지의 열화의 문제를 저감할 수 있다는 이점도 있다.

한편, 이 수지 시트를 이용하는 방법으로는, 범프와 단자 간에 수지가 개재하기 때문에, 범프와 패드 간의 접합에 문제가 생길 우려가 있다. 실제로, 단순히 가열과 가압에 의한 압착으로는 잔존하는 얇은 수지층 때문에 금속 접합을 달성할 수 없었다. 이 때문에, 접속부의 접촉 저항이 수십 ~ 수백 $m\Omega$ 으로 커진다는 문제나 수지의 경시 변화나 흡습 팽창 변화 등에 의해 단선이 생기기 쉽다는 문제가 있었다. 그래서, 본 발명에서는 금속 접합을 달성하기 위해 신규인 접합 장치에 의한 초음파 진동을 이용하는 방법을 고안하였다. 이에 따라, 범프와 내부 접속 단자와의 접합 계면으로부터 수지를 배출하고 금속 접합을 달성하는 것이 가능해졌다. 접속 장치의 상세에 대해서는 후술한다.

이상의 설명은 기판측의 패드 표면을 귀금속막으로 한 경우에 대해 설명을 하였지만, 기판측의 패드 표면을 저용점막으로 한 경우라도, 마찬가지의 실장 방법에 의해, 필러 충전율이 높고 고분자량의 언더필을 보이드 없이 칩과 기판 간에 충전할 수 있어, 저저항 또한 고온 신뢰성이 높은 접속이 가능하다. 이것은 초음파 플립 칩 접합 공정에서, 용융한 저용점 금속 혹은 공정 합금을 접합 계면으로부터 배출하여 고용점 금속 혹은 고용점 합금만으로 접합한 구조로 할 수 있어 접합부의 고온 신뢰성을 높게 할 수 있는 것이다.

이상 상술한 바와 같이, 본 발명에 따르면, 전기 접속부의 내열성과 전기 특성이 우수한 플립 칩 실장 구조를 제공할 수 있다.

발명의 구성 및 작용

이하, 본 발명의 실시예를 도면을 이용하여 설명한다.

(실시예 1)

도 1은 본 발명에 따른 초음파 플립 칩 실장 시의 접합 부재 및 접합부 주변의 구성을 나타낸다. 도 1에 있어서, 반도체 칩(1)의 전극(2) 상에 Au 범프(3)를 형성하고 있다. Au 범프는 볼 본딩법으로 형성한 것으로, 그 형상은 범프의 중앙으로 갈수록 높이가 높아지는 2단의 볼록 형상이고, 직경 $100\mu\text{m}$, 선단 높이 $100\mu\text{m}$, 1단계(반도체 칩 1측)의 견부(shoulder)의 높이 $30\mu\text{m}$, 2단계(유기 배선 기판 4측)의 직경 $40\mu\text{m}$ 로 형성하였다. 한편, 유기 배선 기판(4) 상의 Cu를 기체로 하는 내부 접속 단자(5)의 표면에는 Ni 도금을 실시한 후, 그 위에 두께 $0.7\mu\text{m}$ 의 Au 도금 막을 형성하였다. 유기 배선 기판(4)의 이면에는 다른 칩이나 기판 등에 접속하기 위한 외부 접속 단자(9)를 형성하였다. 칩과 기판 간에는 예 폭시 수지를 주체로 하는 열 경화성 수지(6)에 열 경화성 수지(6)의 열 팽창율보다도 낮은 열 팽창율을 갖는 절연성 무기 필러(SiO_2 입자: 7)를 50% 혼재시켜 반경화 처리를 실시한 수지 시트(8)를 삽입하였다. SiO_2 무기 필러의 사이즈는 평균 입경: 약 $2\mu\text{m}$ 내지 최대 $7\mu\text{m}$ 이하로 하였다. 이 때의 시트 두께는 최종 범프 높이의 약 1.2배인 $50\mu\text{m}$ 두께로 하였다. 이들의 워크(work)를 가열 스테이지(14)측에서부터 기판, 수지 시트, 반도체 칩의 순서로 적층하고, 상측에서부터 접합 틀(10)로 가압하도록 배치하였다. 칩과 기판과의 접합은 틀(10)로부터의 초음파 진동(11), 하중(13), 가열에 의해 행해진다. 칩, 기판의 가열은 각각 히터(12, 15)에 의해 행해진다.

즉, 본 발명의 플립 칩 실장 구조는 전기 신호를 처리하는 회로를 갖는 반도체 칩이 있고, 이 반도체 칩에는 전극이 설치되고 또한 이 전극 상에는 범프가 형성되어 있다. 전극으로부터 범프를 통해 전기 신호를 추출하는 내부 접속 단자는 배선 기판에 설치되어 있다. 반도체 칩과 배선 기판 간에 가열하여 연화하는 반경화 수지 시트를 삽입하여 하중을 걸어 가열하고 초음파 진동을 제공하여 상기 범프와 상기 내부 접속 단자가 금속 접합된다. 또한, 범프는 귀금속으로, 예를 들면 Au이다.

다음에, 도 2에 접합 공정의 타임차트, 도 3에 타임차트의 각 시점에서의 접합부의 단면 구조를 나타낸다. 접합 공정은 우선 온도 150°C로 가열한 가열 스테이지에 워크를 위치 정렬하면서 적층 탑재하고, 그 후 즉시 150°C로 가열하고 있는 접합 툴을 강하시켜서 칩에 작은 하중을 가하였다. 하중의 값은 15g/범프로 하였다. 이 (1)의 시점에서의 접합부의 상황을 도 3의 (1)에 나타낸다. 수지 시트(8)는 아직 고체 상태이기 때문에 Au 범프(3)는 수지 시트(8) 상에 올려진 상태이다. 도 2로 되돌아가, (1)의 시점 이후로부터 수지 시트(8)는 기판측과 칩측으로부터의 양 쪽의 열전도로 가열되기 시작하고, 급속히 온도가 상승하여 연화를 시작한다. 수지 시트(8)의 온도가 연화 온도 T1이 도달한 시점의 접합부의 상황을 도 3의 (2)에 나타낸다. 돌기형의 Au 범프(3)가 그 선단을 내부 접속 단자(5)면에 접촉할 때까지 수지 시트에 진입한 상태가 된다. 이 (2)의 시점에서부터, 접합 툴에 초음파 진동을 가하면서 하중을 100g/범프까지 증가시켜, Au 범프(3)를 Au 도금한 내부 접속 단자(5)에 금속적으로 접합하였다. 수지 시트는 휘발 성분이 적고 또한 접착이 진행되기 전의 저온 시에 내부 접속 단자(5)와 Au 범프(3)와의 계면으로부터 배출되기 때문에, 접합되는 면의 수지 시트(8)에 의한 유기 오염은 접합성을 저해할 정도로는 커지지 않는다. 이 때문에, 양호한 전기적 도통을 얻을 정도의 금속 접합이 달성된 것이다. 수지 시트의 연화 온도는 접합 온도와의 관련에서 중요한 요인이다. 본 발명에서의 연화 온도의 적정 범위는 접합 온도를 높게 하지 않는다는 관점에서 200°C 이하가 바람직하고, 접합 공정에서 가압 후에 연화 온도에 도달할 필요가 있기 때문에 엄밀하지는 않지만 70°C 이상이 바람직하다. 여기서는 100°C의 수지 시트를 이용하였다. 초음파의 진동 진폭은 접합 툴 선단에서 1 ~ 6μm가 바람직하며 여기서는 3μm로 하였다. 초음파 인가 시간은 50 ~ 500ms의 범위가 바람직하며 여기서는 300ms로 하였다. 접합 툴로 가하는 하중은 초음파를 정지하여 수지가 가경화하는 시간(여기서는 약 5초간) 유지하고나서 개방하고, 그 후 워크를 초음파 접합 위치로부터 이동하였지만, 가열은 30분간 계속 유지하여 수지를 완전하게 경화시키고나서 실온으로 냉각하였다. 하중을 개방한 시점 (4)의 접합부의 상태를 도 3의 (3)에 나타낸다. Au 범프(3)는 선단이 뭉개져서 내부 접속 단자(5)에 접합되어 있다. 접합 계면(16)에는 수지(6)나 필러(7)가 개재하지 않은 상태에서 부분적이면서 금속적으로 접합하고 있다. 칩(1)과 배선 기판(4)과의 간극은 초기 범프 치수가 도 1에서 도시한 값인 경우, 40±15μm가 되도록 접합 조건을 선택하고 있다. 이 경우의 압착 범프 형상은, 칩측의 1단계의 직경은 초기와 동일한 100μm, 기판측의 2단계의 직경은 뭉개져 커져서 50μm이고, 압착 후에도 2단 형상 그대로이다. 칩과 기판 간에는 평균 입경 2μm의 실리카 필러(27)를 포함하는 애폭시 수지(26)를 기재로 하는 언더필(8')이 보이드가 없는 상태에서 충전되어 있다. 반도체 칩의 전극은 반도체 칩의 주변에 배치된 경우와 반도체 칩 전면에 영역형으로 배치된 경우가 있지만, 모두 마찬가지의 단면 구조가 된다. 단, 기판 이면의 외부 접속 단자와의 배치의 관계에서 기판의 배선 패턴은 크게 다르다. 기판의 최소 치수는 칩과 동일한 사이즈로 구성할 수 있다. 또한, 무기 필러에 SiO₂ 입자를 이용하였지만, Al₂O₃ 입자나 다른 절연 입자를 이용하는 것도 가능하다.

여기서, 본 발명의 실장 방법을 실현하기 위한 접합 장치에 대하여 설명한다. 종래의 반도체 실장용 초음파 접합 장치에는, 이하에 진술하는 이유에 의해, 초음파 발진계의 혼(horn)이나 접합 툴을 가열할 수 있는 장치가 없고 또한 5kg을 넘는 높은 하중을 가하여 반도체를 초음파 접합할 수 있는 장치가 없었다. 우선, 종래의 장치에서 초음파 발진계의 초음파 혼이나 접합 툴을 가열할 수 없었던 것은,

- 1) 발진자의 내열성이 낮은데다가 발진자와 혼이 직접 결합된 구조를 위해 양자 간의 열 절연이 어려운 것,
- 2) 온도가 변동한 경우에 공진 주파수가 변화하여 안정된 초음파 발진을 얻을 수 없는 것, 등의 이유에 의한다. 이 때문에, 종래의 장치에서는 가열 스테이지에 탑재된 기판측으로부터 가열하지 않을 수 없어, 기판 온도가 칩 온도보다 높아지고 접합 후의 냉각 공정에서 열 팽창이 큰 기판의 수축에 의해 접합부에 큰 왜곡이 발생하여 단선 불량이 발생하기 쉽다는 문제가 있었다.

다음에, 종래 장치에서 높은 하중을 가하여 초음파 접합할 수 있는 장치가 없는 것은 고하중 조건 하에서 안정적으로 발진하기 위한 진동계를 구조 설계하는 것이,

- 1) 고강성으로 하면 혼의 단면이 커져서 접합에 유효한 진동 방향 이외의 복잡한 진동 모드가 발생하는 것,
- 2) 혼의 단면을 작게 하여 저강성으로 하면 하중에 의한 변형에 의해 공진 주파수가 변화하여 안정된 발진을 얻을 수 없는 것, 등의 이유에 의해, 어렵기 때문이다. 이 때문에 실제로는, Au 범프를 수 ~ 수십개 정도 형성한 수백 정방형 사이즈가 작은 강유전체 칩을 열 팽창이 작은 세라믹 기판에 수지 시트가 없는 상태에서 접합한 예밖에 없었다.

본 발명의 발명자들은 이들의 문제를 해결하기 위해서, 후에 진술한 바와 같이 가열 기능이 부가된 특수한 혼 형상을 갖는 초음파 발진 기구를 개발하고, 동시에 초음파 주파수를 종래의 60kHz에서 50kHz로 내림으로써, 고온 가열·고하중 조건 하에서 안정적으로 초음파 발진이 가능한 접합 장치를 개발하였다. 이 접합 장치에 대하여 설명한다. 칩의 플립 칩 접합에서는, 칩에 형성한 범프를 크게 변형시켜서 기판의 휘어짐이나 범프 높이의 변동을 흡수하고, 모든 점을 확실하게 접합시킬 필요가 있다. 이 때문에, 유기 기판을 대상으로 한 경우, 통상의 범프가 뭉개진 양을 수십 μm 정도라고 보면, 범프를 뭉개는 과정에서 칩에 기울기를 주는 것은 접합 품질 레벨의 변동 원인이 된다. 이 때문에, 접합 툴은 평형도를 유지하면서 하강할 수 있는 구조일 필요가 있다. 그래서, 본 실시예의 장치에서는 하중을 담당하는 강도 부재의 구성을 좌우 대칭으로 하고, 대칭축 상에 가압 구동계와 접합 부재를 누르는 접합 툴의 중심축을 배치하는 구성으로 하였다. 이에 의해, 접합 하중을 크게 한 경우라도 항상 접합 툴의 면은 평형도를 유지할 수 있다.

다음에, 접합 툴을 가열하는 구조에 대하여 설명한다. 워크에 초음파 진동과 하중을 가하는 접합 툴 자체는 용적이 작고 열용량이 작기 때문에, 워크의 열 변동을 받기 쉽다. 이 때문에, 용적이 큰 초음파 혼의 본체를 가열하는 구조로서 온도의 안정성을 확보하고, 초음파 진동자의 열 손상을 방지하기 위해 초음파 진동자와 초음파 혼 간에 초음파 전달 특성이 우수한 방열 부품을 삽입한 구조로 하였다. 초음파의 전달 손실은 증가하여 변동할 가능성이 있지만, 진동자로의 입력을 크게 한 상태에서 발진시키는 것으로, 전달 손실의 증가를 보충 또한 변동의 영향을 저감하고 있다.

초음파 혼의 가열 온도가 변하면 부재의 음속이 변하여 공진 주파수가 변화하고 극단적인 경우에는 발진하지 못하는 상태가 된다. 이 때문에, 본 발명의 장치에서는 접합 온도마다 치수가 다른 초음파 혼을 준비하였다. 하나의 초음파 혼으로 커버할 수 있는 온도 범위는 초음파 주파수와 혼 형상에 따라 다르지만, 여기서는 ± 30°C의 범위로 하였다.

다음에, 고하중 하에서 안정적으로 발진 가능한 초음파 혼 형상에 대하여 기술한다. 초음파 혼은 접합 툴의 평형도 유지를 위해 좌우 대칭인 형상으로 가공되며 좌우의 노드점에서 하중 인가 부재로 유지된 구조이다. 이 때문에, 혼은 양단지지로 중심 하중 엣지의 휘어짐 변형을 받는다. 혼의 강성이 낮으면, 휘어짐 변형량이 커지고 혼이 상하 비대칭이 되어 혼의 축 방향 이외의 진동 모드가 발생하고 발진이 불안정해짐과 동시에 상하 방향의 진동이 발생하면 접합성도 나빠진다. 한편, 강성을 올리기 위해 혼의 단면적을 크게 하면, 면 내의 진동이 균일해지지 못하고 복잡한 진동 모드가 발생하고, 발진이 불안정해짐과 동시에 접합성의 저하를 초래한다. 이 때문에, 본 장치에서는 휘어짐 강성에 영향이 큰 상하 방향의 판두께를 크게 하고 단면적을 작게 하기 위해 혼에 슬릿을 설치한 구조로 하였다. 슬릿의 효과에 의해 혼의 단면이 상하로 분할되기 때문에 진동이 전해지는 방향의 실질적인 단면이 작아져서 진동 모드의 단일화를 도모하고, 휘어짐 강성에 영향을 미치는 혼의 두께가 크기 때문에 변형을 억제할 수 있어 초음파의 안정 발진이 가능해진 것이다. 또한, 본 장치에서는 초음파 주파수를 종래의 60kHz에서 50kHz로 주파수를 저감하고 혼의 온도나 왜곡의 변화에 대해 공진 점의 변동율이 작아지도록 하여 초음파의 안정 발진화를 도모하고 있다.

도 4에 본 실시예에서 이용한 접합 장치를 나타낸다. 도 4에 있어서, 장치 본체는 지지 프레임(41), 지지 샤프트(42), 가압 기구(43), 칩 가열겸 초음파 발진 기구(44), 기판 가열 기구(46), 위치 정렬 구동 기구(45), 워크 관찰 기구(47), 기판 반송 기구(49), 칩 반송 기구(48)를 포함한다. 워크 관찰 기구는 배선 기판(4)과 반도체 칩(1) 간에 광학 기구를 삽입하여 상하의 화상을 수신하고, 위치 어긋남을 검출하는 기능을 갖는다. 그 정보에 기초하여 위치 정렬 구동 기구로 조정을 행하는 것이다.

도 5는 도 4의 장치의 상세이다. 가압 기구(43)는 압력 센서(50)로부터의 출력을 검지하여 자동적으로 설정치로 조정하는 서보 모터 구동 방식을 채택하고 있다. 초음파 진동자(51)는 방열 부품(52)과 플랜지(flange) 기구(53)를 갖는 진동 증폭 부품(54)을 통해 초음파 혼(55)과 연결되어 있다. 초음파 혼(55)은 접합 툴(56)과 일체로 형성되며, 상하 중심에서 좌우 대칭인 위치에 가열 히터(12)가 부착되어 있다. 또한, 좌우 상하 대칭의 위치에 관통 구멍(슬릿)이 설치

되고, 혼내의 진동 모드가 일축 방향만의 단일 모드가 되도록 고안하고 있다. 초음파 혼내부에는 워크 흡착용 흡인 구멍(57)이 설치되고 있고, 접합 툴의 선단에는 수명 향상을 위해 초경재(超硬材)(58)가 접합되어 있다. 초음파 진동 기구는 진동의 노드 위치에 부착된 플랜지를 통해 진동계 지지 부재(59)에 부착되고 있다. 위치 어긋남 판정 기구는, 하프 미러(510)와 CCD 센서(511)를 포함하는 광학 헤드(512)와, 화상 처리에 의해 위치 어긋남을 판정하는 처리 회로(513)를 포함한다. 광학 헤드(512)로부터의 정보는 케이블(514)을 통해 처리 회로(513)로 전달된다. 광학 헤드(512)는 가동 기구를 구비하고 있고, 접합 위치와 대피 위치를 샘플마다 한번 왕복하는 동작을 한다.

본 접합 장치에 따르면, 초음파 혼의 형상으로 연구함으로써 높은 강성을 갖는 초음파 혼의 진동 모드를 일축만의 단일 모드로 제어할 수 있어, 진동계의 하중 인가 구조를 플랜지 기구(53)에 의해 2점 지지로 하고 또한 접합 툴의 힘의 작용점에 대하여 형상을 좌우 대상으로 함으로써 높은 하중을 가하여 진동계가 왜곡되어도 툴면의 평형도를 유지할 수 있기 때문에, 다편의 LSI 칩에 대하여 툴의 평형도를 유지하면서 높은 하중과 접합에 필요한 양질의 초음파 진동을 가하는 것이 가능해진다. 이 결과, 다편의 LSI 칩의 귀금속 범프를 기판의 귀금속 패드에 저온 조건으로 초음파 에너지를 이용하여 확실하게 금속 접합할 수 있는 것이다.

또한, 본 접합 장치에서는 도 6에 도시한 바와 같이, 접합 툴과 워크 간에 유기 테이프를 공급하는 기구를 갖고 있는 것이 바람직하다. 도 6에 있어서, 초음파 혼(55)과 일체화된 접합 툴(56)의 선단에 폴리이미드의 유기 테이프(60)가 배치되고, 유기 테이프는 툴(61)측으로부터 권취 기구(62, 63)에 의해 순차 송출되며, 접합마다 새로운 테이프가 툴 하부에 공급되는 기구로 되어 있다. 유기 테이프에는 워크 흡착을 위한 구멍(64)이 설치되고, 툴의 흡인 구멍과 위치가 맞도록 테이프 이송 위치가 제어되고 있다. 유기 테이프는 열 가소성과 열 경화성 중 어느 하나의 테이프라도 상관없지만, 초음파의 흡수가 적어지도록 강성이 높을 필요가 있고, 탄성율로서 1 ~ 100GPa가 바람직하다. 폴리이미드는 약 9GPa이다.

이에 따라, 초경재의 접합 툴과 LSI 칩 간에 이들보다는 연질인 유기재를 사이에 둘 수 있기 때문에 칩면에 흠집이 생기지 않게 된다. 따라서, 툴의 손상이 없어져 툴 수명을 길게 할 수 있다는 효과가 있다. 또한, 양자의 밀착이 잘 되어 슬립이 작아지기 때문에, 초음파 진동의 전달율이 잘 되어 접합성의 향상을 도모할 수 있다는 효과도 있다.

이 접합 장치에 의해 여러가지의 접합 실험을 반복한 결과,

- 1) 수지를 삽입한 상태에서의 귀금속 범프/귀금속막 형성 단자 접합에 있어서, 양자 간의 수지를 강제적으로 외부로 배출하여 금속 접합을 달성할 수 있는 것,
- 2) 그 때문에 수지를 삽입한 상태에서의 플립 칩 접합에 있어서 접속부의 접촉 저항을 0.1 ~ 10mΩ 정도로 저감할 수 있는 것,
- 3) 기판측의 온도를 칩측의 온도와 동등하거나 낮게 함으로써 냉각 과정에서의 열 왜곡의 발생을 저감하고, 대면적의 칩의 접합이나 열 팽창이 큰 유기 기판으로의 접합이 가능한 것,
- 4) 범프 사이즈 50 ~ 100μm 직경의 범프로 1000 펀 클래스의 칩의 플립 칩 접합이 가능한 것을 확인한 것이다.

도 7에 범프 접합부의 확대 사진의 일례를 나타낸다. 언더필 수지가 결함없이 충전되고 또한 보이드 결함은 있지만 범프와 패드 간이 금속 접합되어 있는 상황을 확인할 수 있다. 귀금속 범프와 기판측의 귀금속 패드를 금속 접합함으로써, 접속부의 전기 저항은 접합 계면의 접촉 저항을 대폭 저감할 수 있다. 종래의 방식으로는 범프 사이즈 50 ~ 100μm인 경우에 수십 ~ 백수십mΩ의 저항치가 되는데 대하여, 본 발명에 따른 구조로는 0.1 ~ 10mΩ의 범위로 저감할 수 있는 것이 판명되었다.

본 실시예에 따르면, 기판과 수지 시트와 칩을 적층한 상태에서 열과 초음파 진동을 가하여 압착하는 방법으로 하고 있기 때문에, Au 범프가 가열에 의해 연화한 수지를 밀어내서 기판의 Au 패드와 접촉하고 또한 초음파 진동에 의해서 범프와 내부 접속 단자와의 금속 접합이 달성되기 때문에, Au 범프/Au 패드 간의 금속 접합과, 칩과 기판 간으로의 수지 충전을 포함하는 반도체 칩의 플립 칩 실장을 하나의 공정으로 행하여 생산성을 높게 할 수 있고 또한 Au/Au의 금속 접합이 달성되기 때문에 접속부의 전기 저항을 작게 할 수 있고 또한 고필러 함유율의 수지를 이용하여 보이드가 없는 언더필 충전이 가능하기 때문에 실장 신뢰성을 높일 수 있어, 생산성과 전기 특성과 신뢰성이 우수한 플립 칩 실장 방법을 제공할 수 있다. 신뢰성에 관하여 상술하면, 언더필을 보이드없이 형성할 수 있음으로써, 보이드 내 수분의 기화 팽창에 기인하는 리플로우 시의 접합부 박리를 방지할 수 있고 또한 필러 함유율을 높여서 열 팽창율을 기판과 동등한 $2.0 \times 10^{-6} / ^\circ\text{C}$ 보다 작게 한 언더필로 칩과 기판을 고착함으로써, 온도 변화에 따라 발생하는 열 왜곡을 칩, 범프, 기판에 균등하게 분산시켜 온도 사이클 수명을 늘릴 수 있고 또한 고온 하에서 금속적으로 안정된 Au/Au 접합이기 때문에 고온 수명이 우수한 실장 구조를 제공할 수 있는 것이다. 언더필의 열 팽창율은 $10 \sim 25 \times 10^{-6} / ^\circ\text{C}$ 로 하는 것이 바람직하다. 도 8은 도 1, 도 2, 도 3에서 도시한 방법으로 제작한 반도체 실장품에서의 언더필 중 보이드 발생율을 나타낸다. 비교를 위해 종래의 접합 후에 액상 수지를 주입하는 방식의 결과를 플롯하고 있다. 조립 후에 수지를 주입하는 방식으로는, 필러 함유량이 많아지면 유동성이 저하하고, 칩과 기판 간의 갭이 작을수록 또한 칩 사이즈가 클수록 보이드 발생율이 상승한다. 종래법에서는, 필러 함유량이 50%를 넘으면 보이드를 없애는 것이 곤란해진다. 일변에서부터 수지를 공급한 경우의 보이드의 발생은 모세관 현상에 의한 수지의 침입 속도가 범프의 존재에 따라 장소에 따라 다르기 때문에 생기는 문제로, 공기의 침입에 의해 생긴다. 이 때문에, 발생하는 보이드의 크기는 칩과 기판 간의 갭에 상당하는 사이즈가 존재한다.

한편, 수지 시트 방식으로는, 저탄성의 고형의 상태에서 압력을 가한 단계에서, 칩/수지 시트 간, 기판/수지 시트 간의 간극에 존재한 가스가 압력에 의해서 밖으로 배출되고 또한 수지를 내부로부터 외부로 압출하는 방향으로 유동하여 가스를 배출 방향으로 작용하기 때문에, 큰 보이드의 발생율은 제로가 되는 것이다. 가령 양 간극에 가스가 잔존한 경우라도 그 체적은 매우 작은 것으로, 강도적인 저하 혹은 흡습에 따른 리플로우 크랙의 발생 등의 문제는 되지 않는 것이다. 즉, 보이드 결함에 기인하는 불량의 발생은 100% 회피할 수 있는 것이다. 또한, 수지 시트 방식에 의해, 칩과 기판 간에 필러 함유율 50vol% 이상의 수지를 보이드 없이 형성하여 접착 경화함으로써, 수지의 경화 온도 이하의 조건에서 Au 범프 접합부에는 수지의 수축에 의해 항상 압축력이 가해진 상태가 되기 때문에, 실장품을 온도 사이클 시험을 하였을 때의 단선 불량에 이르기까지의 수명을 대폭 향상할 수 있다. 또한, 수지의 필러 함유율을 높게 할 수 있기 때문에, 열 팽창율을 Au의 열 팽창율과 동등하게 할 수 있다. 또한, 수지 중의 필러 분포의 변동을 작게 할 수 있어, 온도 사이클을 하였을 때의 Au 범프나 수지 내에 발생하는 응력이 변동하지 않고, 이것에 의해서도 단선 불량에 이르기까지의 수명을 대폭 향상할 수 있는 것이다.

또한, 본 실시예의 구조에 있어서, 반도체 칩을 $50\mu\text{m}$ 두께, 배선 기판을 $25\mu\text{m}$ 두께의 폴리이미드 필름, 배선 Cu 호일을 $3\mu\text{m}$ 로 함으로써 패키지 두께를 $100\mu\text{m}$ 이하로 얇게 할 수 있고, 동시에 칩과 동등 사이즈까지 소형화가 가능하여 초박형 또한 소형의 반도체 패키지를 제공할 수 있는 것이다.

또한, 본 실시예에 따르면, 범프 형상을 칩측에서 $100\mu\text{m}$ 로 크게 하고 2단계를 $40\mu\text{m}$ 로 작게 하여, 기판 상 패드와의 접합을 범프의 2단계로 행하고 있기 때문에, 본딩 시에 칩측에 가해지는 응력(Au의 항복 응력 \times 기판측 접합 면적/침측 접합 면적)은 Au의 항복 강도의 몇분의 1 정도의 작은 값으로 억제할 수 있다. 이 때문에, 플립 칩 실장 공정에서의 전극 하의 칩 손상을 저감하여 조립 수율의 향상을 도모할 수 있다는 효과가 있다. 또한, 수지 시트에 혼입하는 고형 필러의 사이즈를 수 μm 로 간극의 1/3 이하로 작게 하고 있기 때문에, 고형 필러가 일렬로 적층하여 하중에 의해서 칩에 높은 응력을 가할 가능성성이 없어져서, 이것이 원인이 되는 조립 불량을 완전하게 방지할 수 있다는 효과가 있는 것이다.

(실시예 2)

다른 실시예로서, 실시예 1에서의 반경화 상태의 수지 시트를 칩과 기판 간에 사이에 두는 대신에, 기판의 칩 탑재 영역에 절연 무기 필러(SiO_2 : 평균 입경 $1\mu\text{m}$, 최대 $7\mu\text{m}$)를 포함하는 액상 에폭시 수지를 미리 두께 $50\mu\text{m}$ 정도 도포하고, 그 후 바로 액상 수지 위에서부터 Au 범프 형성 칩을 탑재하여 초음파 접합을 행하고, 이어서 150°C - 30분의 경화 처리를 실시하였다. 액상 수지의 경우, 기판의 패드면이 수지로 오염되지만, 접합 조건을 고하중 혹은 높은 초음파 파워의 조건으로 하여, 부분적인 금속 접합을 달성할 수 있는 것을 확인하였다. 액상 수지는 에폭시 수지 이외에 페놀 수지 등 다른 열 경화성 수지를 사용할 수 있다.

본 실시예에서도, 실시예 1과 마찬가지의 효과가 얻어진다. 또한 수지의 공급이 인쇄 방식을 채택할 수 있기 때문에 용이하게 생산성을 향상할 수 있다는 효과가 있다. 또한, 시트에 비하여 액상 수지를 사용한 경우에는 생산 공정수가 적기 때문에 재료의 가격이 싸고 실장 제품을 저비용화할 수 있다는 이점도 있다.

또, 도시하지는 않았지만, 수지 시트 중 필러 함유율이 50%이고 필러의 평면 분포가 $1\mu\text{m}$ 각 영역의 필러 함유율의 변동으로 최대 $\pm 5\%$ 이하로 제어된 것을 이용하여 실장한 반도체 실장품과, 함유율이 동일한 액상 수지를 플립 칩 접합 후에 충전한 보이드가 없는 반도체 실장품을 동일한 온도 사이클 시험을 하여 비교하면, 단선에 이르기까지의 온도 사이클 수에 명료한 차가 있고, 시트형으로 공급한 쪽이 수명이 긴 것이 확인되었다. 이 원인을 해석한 결과, 수지 시트 공급 방식의 칩과 기판 간의 필러 분포는 거의 수지 시트 상태 시에서의 필러 분포를 따르는데 비해, 액상 수지 공급 방식으로는 공급의 상류측 영역에서 필러가 많고 하류측에서 적어지는 현상이 생기고, 상기 반도체 실장품으로 최대 20%의 값이 생겼기 때문에 판명되었다.

즉, 본 실시예에 의해 칩과 기판 간의 필러 함유율의 분포를 $\pm 5\%$ 이하로 제어함으로써 온도 사이클 수명을 향상할 수 있는 것이 판명된 것이다.

(실시예 3)

도 9는 본 발명에 따른 플립 칩 실장 방법의 다른 실시예를 나타낸다. 도 9에 있어서, 칩(1)의 전극(2: Al 전극)에는 Au 범프(3)가 볼 본딩법에 의해 형성되어 있다. 이 때의 초기 범프 직경은 $60\mu\text{m}$, 2단계의 직경 $35\mu\text{m}$, 범프 높이 $80\mu\text{m}$, 1단계의 높이 $10\mu\text{m}$ 로 하고 있다. 수지 시트는 2매를 이용하여 칩측에는 구형 SiO_2 입자를 포함하는 필러(7)의 함유율이 65%인 고필러 함유 에폭시 수지 시트(저열 팽창 수지 시트: 90), 기판측에는 상기와 마찬가지인 필러(7)의 함유율이 35%의 저필러 함유 에폭시 수지 시트(중열 팽창 수지 시트: 91)를 배치하여 적층하고 있다. 기판(4)의 내부 접속 단자(5)에는 최외측 표면에 $0.5\mu\text{m}$ 두께의 Au막이 형성되어 있다. 도 9의 배치로 적층한 후의 접합 공정은 실시예 1과 마찬가지이다.

도 10은 도 9의 부품을 접합한 후의 접합부의 단면 구조를 확대하여 나타낸다. 도 10에 있어서, 언더필(8')은 필러(7)가 고밀도로 충전된 저열 팽창층(92)과 필러 밀도가 낮은 중열 팽창층(93)을 포함하고, 그 계면은 필러 충전율이 연속적으로 변하는 경사 영역을 거쳐서 일체화한 구조로 되어 있다. 이 때, 수지의 열 팽창율은 칩에 가까운 부분보다도 기판에 가까운 부분쪽이 높아지는 구조로 되어 있다. 또한, 수지에 포함되는 무기 필러의 함유율이 칩에 가까운 부분보다도 기판에 가까운 부분쪽이 낮은 구조로 되어 있다. 압착한 Au 범프(3)의 형상은 칩측의 접합부가 넓고, 그 위에 접합부보다는 작은 Au의 기둥이 세워지고, 기둥의 선단에서 기판의 내부 접속 단자에 접합된 형상을 하고 있다. 범프와 내부 접속 단자와의 접합은 적어도 접촉면의 일부에서 금속 접합이 달성된 상태로 되어 있다.

도 11은 필러 함유량을 바꾼 샘플을 온도 사이클 시험을 하였을 때의 불량 발생율의 와이블 플롯(weibull plot)을 나타낸다. 언더필 수지는 열 팽창율이 높기 때문에, 필러가 없는 상태에서는 수명이 짧다. 언더필 수지의 열 팽창율보다도 낮은 열 팽창율을 갖는 필러재를 혼입하여 열 팽창을 내려가면 수명은 향상하여, 이 경우에는 필러 함유량 50% 혹은 2층 언더필을 사용한 경우에 1000 사이클을 넘는 수명을 나타냈다. 필러 함유량 70% 이상의 언더필을 보이드 없이 충전 가능한 방법은 본 발명에 따른 방법뿐이고, 2층 방식도 본 발명의 방법에 의해 비로소 가능한 구조라고 할 수 있다.

즉, 본 발명의 실시예에 의해 고신뢰의 플립 칩 실장 제품을 제공할 수 있는 것이다.

본 실시예에 따르면, 실시예 1에서 얻어지는 효과 외에 다음과 같은 효과가 있다. 언더필을 2층으로 나누어서 칩측은 Si에 맞춰서 저열 팽창, 기판측은 수지 기판에 맞추어서 중열 팽창으로 하고 있기 때문에, 칩/언더필 간 및 기판/언더필 간의 열 팽창율이 가깝고 양 계면에서의 열 왜곡에 따른 전단 응력의 발생이 작다. 그 결과, 칩/범프 간 및 기판/범프 간의 접합부에 발생하는 열 응력을 작게 할 수 있으며, 칩/언더필 간 및 기판/언더필 간의 박리를 막고, Au 범프의 접합 계면에서의 박리 단선을 방지할 수 있다. 이에 따라, 실장 신뢰성을 현저하게 높게 할 수 있는 것이다. 또, 언더필의 중간부에서는 큰 열 왜곡이 발생하지만, 경사 구조에 의해서 연속적인 열 팽창율의 변화가 된다. 따라서, Au 범프의 중앙부가 넓은 영역에서 열 왜곡을 받는 구조가 되기 때문에 국소적인 응력 집중이 발생하지 않고, 또한 벌크의 Au 범프부에서 응력을 받는 상태가 되기 때문에, 접합 계면에서 응력을 받는 구조보다는 훨씬 신뢰성을 높게 할 수 있는 것이다.

(실시예 4)

다른 실시예로서, 실시예 1에서의 범프 및 배선 기판의 내부 접속 단자 표면의 재료를, 대기 중에서 약간 산화하지만 200°C 이상에서는 산소와 용이하게 분리하는 Ag, 고온에서는 산화하지만 실온으로부터 접합 온도 200°C까지의 영역에서 산화막을 형성하기 어려운 Pd, Pt의 재료로 하였다. 또한, 언더필용 수지제를 폴리이미드 수지와 에폭시 수지의 복합 수지만으로 하는 실장을 시도하였다. Ag, Pd, Pt 모두 소재가 부드럽고, 산화막이 있어도 접합에 영향을 미치는 정도의 두께로는 존재하지 않기 때문에, 진폭 1 ~ 5μm 정도의 초음파 진동을 가함으로써 금속 접합이 용이하게 달성된다. 여기서는, 주파수 50kHz, 칩 진폭 1μm(툴 진폭 3μm)의 조건으로 접합을 실시하였다.

본 실시예에서도, 실시예 1과 마찬가지의 실장 방법이 채택 가능하며, Au의 경우와 마찬가지로 금속 접합이 달성되기 때문에 전기 특성에 있어서 접속 저항을 0.1 ~ 10mΩ의 범위로 저감할 수 있다는 효과가 얻어진다.

(실시예 5)

도 12에 있어서는, 배선 기판측의 내부 접속 단자에 Au 범프와 반응하여 217°C에서 공정 반응에 의해 용융하는 저융점 금속(Sn 막)을 형성하여 플립 칩 접합하는 경우의 접합 조건의 차트도를 나타낸다. 기본적인 실장 시의 부품 구성은 도 1과 마찬가지이지만, 가열을 접합 툴측에서만 행하는 방식으로 하고 있는 점과, 패드의 재질을 Au에서 Sn으로 바꾼 점이 다르다. 도 12에 있어서, 워크에 하중을 건 후에 접합 툴을 펠스 히터에 의해 순간적으로 가열하고 칩측에서 워크를 가열하였다. 워크가 수지 연화 온도에 도달한 시점으로부터, 워크에 가하는 하중을 증가시키면서 접합 툴을 통해 워크에 초음파를 가하였다. 여기서는, 워크 온도가 Au - Sn 공정 온도(217°C)를 넘어 235°C에 달할 때까지 가열을 행하였다. 초음파를 가하는 시간은 워크가 Au - Sn 공정 온도에 도달하고나서 소정 시간 가하도록 설정하지만, 여기서는 150ms로 행하였다. 초음파의 인가를 정지하면 거의 동시에 펠스 히터의 가열을 정지하고, 워크가 수지의 연화 온도 이하의 50°C가 된 시점에서 하중을 개방하여 워크를 접합 장치로부터 추출하였다. 그 후, 항온조 등의 가열 장치에서 180°C - 10분의 베이킹 처리를 행하여 수지를 완전 경화시켰다.

도 13은 도 12의 차트의 (2), (3), (4)의 시점에서의 접합부 단면의 모식도를 나타낸다. (2)의 단계에서는, 수지의 연화에 따라 돌기되어 있는 Au 범프(3)가 수지 시트(8)에 압입되고, 수지 필름의 두께를 선택하면 범프가 패드(131)에 접촉하는 상태가 된다. 하중은 Au 범프와 고상(固相)인 Sn 도금면(130)으로 지지되고 있다. (3)의 단계에서는, Au 범프(3)의 진동 마찰에 의해 범프 하의 Sn이 기계적으로 외부로 압출되면서, Au과 Sn이 밀착된 영역에서 Au - Sn 공정 반응이 생겨서 용액(132)이 형성되기 시작한다. 접합이 종료한 (4)의 단계에서는, Au 범프(3)는 Au이 풍부한 Au Sn층(135)과 CuSn층(133)을 통해 내부 접속 단자(5: Cu 패드)에 접합된 상태가 된다. 접합 과정에서 형성된 저융점

의 Au - Sn 공정 합금은 범프 주위로 압출되어 필렛(134)을 형성하고 있다. 범프 밖의 Sn 도금 막은 232°C로 가열된 단계에서 한번 용융하지만, 기초인 Cu가 반응하여 CuSn 화합물(133)을 형성하여 고용점화하여 등온 응고하고 있다.

본 실시예에 따르면, 기판과 수지 시트와 칩을 적층한 상태에서 열과 초음파 진동을 가하여 압착하는 방법으로 하고 있기 때문에, 실시예 1과 마찬가지로 생산성이 높은 실장 방법을 제공할 수 있는 것이다. 또한, 본 실시예의 Au 범프와 Sn 도금막의 접합 재료의 조합에서는 접합 계면에서 한번 용융층을 형성하여 접합하는 과정을 채용하기 때문에, 접합 표면의 유기 오염 등에 기인하는 접합 불량의 발생을 저감할 수 있고 또한 저하중 또한 저초음파 파워의 접합 조건으로 접합할 수 있어 칩 손상의 발생을 저감할 수 있고 생산 수율이 높은 실장 방법을 제공할 수 있는 것이다. 또, 접합 계면에 형성되는 저용점 합금은 하중과 초음파 진동에 의해 범프 밖으로 배출되기 때문에, 접합 종료 시점에서 접합 계면에 남겨진 Sn을 포함하는 합금은 고용점의 합금만이 되고, 접합부를 구성하는 금속의 용점을 275°C 이상으로 할 수 있다. 납땜 실장 시의 가열 온도는 250°C 이하이기 때문에, 프린트 기판 등으로의 납땜 실장 시에 가열되어도 재용융하지 않고 고온 내열성도 우수하여 접합부의 내열성은 문제가 없는 것이다.

또한 본 실시예에서는, 금속 접합이 달성되기 때문에 접속부의 전기 저항을 작게 할 수 있고 또한 고필러 함유율의 수지를 이용하여 보이드가 없는 언더필 충전이 가능하기 때문에 실장 신뢰성을 높게 할 수 있는 것이다. 또한, 본 실시예의 구조에 있어서는, 도 1의 실시예와 마찬가지로, 패키지 두께를 얇게 할 수 있고, 동시에 칩과 동등 사이즈까지 소형화가 가능하여 초박형 또한 소형의 반도체 패키지를 제공할 수 있는 것이다.

(실시예 6)

다른 실시예로서, 실시예 5에서의 패드측의 접합용 Sn 도금재를 저용점 금속인 In, Ga, Tl 대신에 실장을 시도하였다. 접합 온도는 In에서 180°C, Ga에서 150°C, Tl에서 150°C로 하고, 다른 접합 조건은 실시예 5와 마찬가지의 조건으로 하였다. 이들 재료 모두에 있어서도 접합 계면으로부터 하중과 초음파 진동에 의해 저용점층을 외부로 배출할 수 있어 Sn을 이용한 경우와 마찬가지로 고용점의 접합부를 얻을 수 있는 것을 확인하였다.

본 실시예에 있어서도, 접합 후의 접속부의 내열성을 향상할 수 있기 때문에, 실시예 5와 마찬가지의 효과를 얻을 수 있다. 또한, Sn보다는 용점 혹은 공정점(共晶点)이 낮기 때문에 접합 온도를 200°C 이하로 내릴 수 있으며 접합 후의 냉각 과정에서 발생하는 열 응력을 내릴 수 있어, 실장 공정의 칩 손상을 저감할 수 있고 조립 수율을 향상할 수 있다는 효과가 있다. 저용점 금속에는 실시예에서 기재한 금속 이외에도, 단독으로의 용융 온도가 250°C 이하 혹은 귀금속 범프와 합금화했을 때의 용융 온도가 250°C 이하가 되는 금속 혹은 합금을 포함하는 것이면 사용하는 것이 가능하다.

도 14는 초음파·흔의 가열 방식의 다른 실시예이다. 도 14에 있어서, 초음파 흔(55)과 일체화한 접합 틀 선단에 전기 도통성의 세라믹판: 히터 칩(140)이 접합되고, 히터 칩으로의 전류 공급 기구(141)가 설치되어 있다. 접합마다 히터 칩에 펄스적으로 통전하여 순간 가열을 행하고 있다. 히터 칩은 열용량이 작기 때문에, 통전 중은 고온이 되지만, 통전을 멈춤으로써 단시간에 온도를 내릴 수 있다는 특징이 있다.

본 실시예에 따르면, 접합 재질이 귀금속 범프와 Sn 도금 패드와 같은 경우에, 접합 틀측으로부터 순간적으로 가열하여 Sn을 용융시켜서 Au - Sn 공정 접합을 달성시켜, 초음파 진동으로 용액을 강제적으로 계면으로부터 배출하여 고용점 접합부를 형성한 후, 가압한 상태에서 가열을 멈추고 단시간에 냉각할 수 있기 때문에, 저용점 금속을 사용하여 내열성이 있는 접합부를 얻을 수 있고, 동시에 냉각 과정에서의 열수축에 의한 접합부 파손을 막을 수 있고, 또한 양산 라인에서 생산성을 손상시키지 않고 신뢰성이 있는 접합을 할 수 있다는 효과가 얻어지는 것이다.

(실시예 7)

도 15는 본 발명의 플립 칩 실장에 적합한 귀금속 범프 형상의 일 실시예를 나타낸다. 도 15의 (a)는 스터드 범프인 경우에, 반도체 칩(1: Si 칩)의 전극(2: Al 전극)에 볼 본딩법에 의해 Au 스터드 범프(3)를 형성하고 있다. Au 스터드 범프 형상이 Au 범프와 Al 전극의 접합부의 직경(151)에 대하여 범프 상부의 접합에 의해 둥개진 높이 레벨에서의 직경(150)이 면적비로 $1/2 \sim 1/3$ 이하가 되도록, 초기 볼 사이즈와 모세관 사이즈와 접합 조건을 선택하고 있다. 초기 볼 사이즈 $80\mu\text{m}$, 모세관의 흘 직경 $40\mu\text{m}$ 로 압착 후의 볼 직경 $100\mu\text{m}$ 로 범프 형성한 경우, 플립 칩의 접합 조건을 하중: $50\text{g}/\text{범프}$, 온도: 100°C , 진동 진폭: $3\mu\text{m}$, 접합 시간: 300ms 를 선택하면, 칩측 접합면의 직경 $80 \sim 90\mu\text{m}$, 기판측의 접합면의 직경 $40 \sim 45\mu\text{m}$ 로 할 수 있다. 또한, 도 15의 (b)는 2단 도금 범프의 경우에, 1단째와 2단째의 면적비가 $1/2 \sim 1/3$ 이하가 되도록 직경 비율을 선택하고 있다. 도 15의 (c)는 선단이 뾰족한 형상인 도금 범프인 경우에, 접합에 의해 둥개진 높이 위치와 베이스의 면적비가 $1/2 \sim 1/3$ 이하가 된 형상으로 제어하고 있다. 도 15의 참조 부호 136은 패시베이션막을 나타낸다. 또한, 참조 부호 152는 상부 직경을, 참조 부호 153은 하부 직경을 나타낸다.

도 16은 도 15의 (b)의 도금 범프를 사용한 경우의 플립 칩 실장부의 단면 구조를 나타낸다. 접합 면적은 범프/배리어 메탈/Al 전극 계면의 면적이 약 0.0036mm^2 , 범프/기판의 Au 도금 랜드의 접합 면적이 약 0.00081mm^2 으로 하고 있고, 후자의 접합 면적은 전자의 접합 면적의 약 23%로 작게 하고 있다. 도 16의 도금 범프(3)는 전체를 Au으로 형성하고 있지만, 1단째를 Cu 도금, 2단째를 Au 도금으로 하고, 높이를 각각 $10\mu\text{m}$, $20\mu\text{m}$ 으로 한 것으로 시작(試作)하였다. 참조 부호 160은 Au 도금을 나타낸다.

도 17은 칩측과 기판측에 각각 Au 범프를 형성한 경우의 플립 칩 실장부의 단면 구조를 나타낸다. 접합부의 면적에 대하여 칩측의 Au 도금 범프(3)의 횡단면의 면적이 비율로 $2 \sim 3$ 배 이상이 되는 크기로 조정하고, 칩측의 범프 사이즈를 $60\mu\text{m}$ 각, 기판측의 범프 사이즈를 $40\mu\text{m}$ 각으로 하고 있다. 도 17에 있어서는, 칩측과 기판측을 모두 Au 도금 범프로 한 것으로, 칩측을 Ni/Au 도금 구조로 한 것, 기판측을 Cu/Ni 도금 및 Ni/Au 도금한 것 및 기판측을 Au 스터드 범프로 한 것을 실시하였다. 도 17의 참조 부호 170은, 도금 레지스트를 나타낸다.

이들 실시예에 있어서는, 어느 하나의 경우도 접합 계면의 면적에 대하여 칩측의 범프 베이스의 면적이 $2 \sim 3$ 배 이상 커지는 구조로 하고 있기 때문에, 초음파 플립 칩 접합 시에 칩측의 Al 전극에 가해지는 응력이 Au의 항복 강도($60 \sim 80\text{MPa}$)의 $1/2 \sim 1/3$ 이하가 되고, 칩 손상의 발생을 방지하여 조립 수율이 높은 실장이 가능해지는 것이다.

또한, 귀금속 범프의 형상을 칩측의 접합 면적이 기판측의 접합 면적에 대하여 4할 이상 커지도록 선택하는 것이 바람직하다. 통상, 초음파를 사용한 플립 칩 접합으로는 범프 하의 칩 기판에 높은 전단 응력이 발생하여 칩 손상이 발생될 가능성이 있지만, 칩측에 범프를 통해 가하는 전단 응력은 Au 범프의 항복 강도에 기판측과 칩측의 면적 비율을 곱한 값이 되기 때문에, 본 발명에서는 그 값을 Au 범프의 항복 강도의 7할 이하로 저감할 수 있어 칩 손상의 발생을 대폭 저감할 수 있는 것이다.

(실시예 8)

도 18은 Au 도금 범프를 사용한 경우의 플립 칩 실장에서의 예폭시 수지 베이스의 언더필의 SiO_2 필러 함유량과 보이드 발생율의 관계를 나타낸다. Au 도금 범프에서는 범프 높이를 높게 하면 그 만큼 비용이 상승하기 때문에, 가능한 한 낮은 범프를 선택하게 된다. 최소 높이는 기판의 휘어짐이나 두께 변동, 패드 높이 변동을 범프의 변형으로 흡수할 수 있는 높이가 된다. 캡이 $5, 10\mu\text{m}$ 인 경우 모두, 필러를 포함하지 않아도 보이드 발생 확률이 높지만, 시트 삽입 방식으로는 캡에 상관없이 문제가 되는 수십 μm 이상의 크기의 보이드 발생 확률을 제로로 할 수 있다.

도 19는 접합 온도와 언더필의 유무를 바꾼 경우의 범프 높이와 온도 사이를 시험에서의 단선 불량 발생율이 관계를 나타낸다. 언더필이 없는 경우, 범프 높이 50 μm 이하의 영역에서는 높이가 낮을수록 단선 불량이 발생하기 쉬운 경향을 나타내고 접합 온도가 높을수록 잔류 왜곡이 증가하여 단선 불량 발생율이 높아지는 경향을 나타낸다. 언더필을 충전하면, 칩과 기판이 고착되어 칩과 기판의 열 팽창 차가 휘어짐 변형으로 흡수되어, 범프에 큰 전단 응력이나 인장 응력이 생기지 않기 때문에, 단선 불량에 이르는 수명이 대폭 개선된다. 이 때문에, 반도체 부품에 요구되는 시험 기준으로는 단선에 이르지 않는다.

(실시예 9)

도 20은 본 발명에 따른 플립 칩 실장 구조를 적용한 BGA 패키지의 단면 구조의 일례를 나타낸다. 도 20에 있어서, 반도체 칩(1: Si 칩)의 영역 상에 배치된 Al 전극(2)에는 볼 본딩법의 테어링 오프 타입(tearing - off type)으로 형성한 Au 범프(3)가 탑재되어 있다. 배선 기판(4: 유리 에폭시 기판)의 칩측에는 칩의 Al 전극에 대응한 위치에 35 μm 두께의 내부 접속 단자(5: Cu 패턴) 상에 5 μm 두께의 Ni/0.5 μm 두께의 Au막(200)이 무전해 도금에 의해 형성되어 있다. 기판의 반대측에는 칩측의 면과 마찬가지의 재료 구성인 땜납 범프용 패드(외부 접속 단자: 9)가 형성되고, 땜납볼 범프가 탑재되어 있다. 이 패드의 Au 도금은 땜납 탑재 시에 땜납 중에 용해하기 때문에, 패키지 완성 상태에서는 Ni 도금 막과 땜납이 직접 접합된 상태로 되어 있다. 칩 상의 Au 범프와 기판 상의 Au 도금 패드는 초음파 열압착 접합에 의한 금속적인 결합에 의해서 접속되어 있고, 칩과 기판 간의 공간은 저열 팽창의 절연성 무기 필러(7: SiO₂ 입자)와 열경화성 수지(6: 에폭시 수지)로 구성되는 언더필(8')로 매립되어 있다. 에폭시 수지와 SiO₂ 입자의 체적 비율은 1 : 2이다. 범프 높이는 60 μm , Au/Au 접합부의 직경은 30 μm , Au/Al 접합부의 직경은 80 μm 이다. 초기의 범프 높이 100 μm 에서 40 μm 변형시켜, 모세관의 홀로 형성되는 2단계의 견부와 동일하거나 조금 선단에 기운 위치까지 와이어부를 뭉갠다.

본 실시예에 따르면, 스타드 범프의 선단부에서 접합하고 있기 때문에, 1 범프당 하중을 수십 ~ 수백mN의 저하중으로 접합할 수 있어, 수천핀의 다편 LSI 칩에서도 칩 크랙을 생기지 않게 Au/Au의 금속 접합에 의해서 플립 칩 실장할 수 있다. 또한, 범프 높이를 높게 하여 저열팽창의 언더필로 칩과 기판 간을 고착하고 있기 때문에, 접합된 범프에 가해지는 왜곡이 매우 작아져서 언더필 수지의 또 하나의 효과로서 범프 전체에 균등하게 왜곡을 분산시키기 위해서 패키지로서의 온도 사이를 신뢰성을 현저히 향상할 수 있다. 또한, 마더 보드와 칩 간의 전기적 접속을 최단거리로 결선할 수 있기 때문에, 칩의 클럭 주파수가 수백MHz를 넘는 고성능의 LSI를 탑재한 경우라도, 그 성능을 손상시키지 않고 전자 기기의 실장이 가능해지는 것이다. 또한, 내부 접속 패드와 외부 접속 패드 간의 배선도 관통 구멍을 최대한으로 활용함으로써, 인접 패드 간에 통과시키는 배선수를 저감할 수 있고, 그 결과, 기판의 외부 접속 패드 피치를 채울 수 있어 패키지 사이즈의 소형화가 가능해지는 것이다. 또한, 내부 접속부의 내열성은 수지의 내열 온도에 비하여 충분히 높기 때문에, 패키지를 배선 기판에 탑재하는 땜납 리플로우 공정에 있어서, 어떠한 문제도 생기지 않는 것이다.

(실시예 10)

도 21은 본 발명에 따른 플립 칩 실장 구조를 적용한 테이프 BGA 패키지의 단면 구조의 일 실시예를 나타낸다. 도 21에 있어서, 반도체 칩(1: Si 칩)의 전극(2: Al 전극 패드)에는 Au 도금 범프(3)가 형성되어 있다. 두께 50 μm 의 폴리이미드 필름을 기재로 하는 배선 기판(4: 테이프 기판)의 중앙에는 칩의 패드 형성 영역보다 작은 개구부가 설치되며, 한쪽 면에는 두께 5 μm 의 Cu 배선 패턴(202)이 형성되어 있다. 내부 접속 리드(210)의 표면에는 두께 0.5 μm 의 Au 도금이 실시되고 테이프 기판이 개구되고 형성된 땜납 범프용 패드(외부 접속 단자: 9)에는 땜납볼 범프(201)가 형성되어 있다. 칩 주위의 땜납 범프를 형성한 영역의 테이프 기판에는 테이프의 변형을 막을 목적으로 스티프너(stiffener: 211)가 접착제(212)로 접착되어 있다. 칩 Au 범프와 내부 접속 리드는 Au/Au의 금속 접합으로 접속되며, 테이프/칩 간이 수지의 열 팽창율보다도 낮은 열 팽창율을 갖는 구(球)형 필러를 포함하는 수지로 충전되어 있다. Au 범프는 초기 높이 20 $\mu\text{m} \times 20\mu\text{m}$ 정방형으로, 압착 후의 높이가 낮은 곳에서 10 μm 가 되는 조건으로 접합하고 있다. 접합 온도는 100 °C, 접합 하중은 50 mN/bump, 초음파의 진동 진폭은 틀로 3 μm , 칩에서 1.5 μm 의 조건으로 조립하고 있다. 조립 순서는 칩 접합+언더필 충전, 스티프너 접착, 땜납볼 탑재의 순서로 행하고 있다. 이 경우, 언더필 충전은 보이드의 발생이 없는 형상을 하고 있기 때문에 접합 후에 유입해도 된다. 테이프 기판의 칩 접속 영역에는 개구부로부터 복수 펀 단위로

절단부가 형성되어 있다.

본 실시예에 따르면, 테이프 기판 상의 내부 접속 리드와 칩의 범프를 접합하는 조합으로, 테이프 기판의 Cu 두께를 5 μm 로 하고 있기 때문에 배선 피치를 30 μm 피치로 할 수 있고, 30 μm 와 같은 협패드 피치의 LSI 칩을 플립 칩 실장이 가능해진다. 종래의 접합에서는, 접합 온도가 200°C 이상(Au - Sn 공정 접합으로는 230°C)으로 높기 때문에, 테이프 기판의 열 팽창과 Cu 호일의 열 팽창에 의한 왜곡이나 칩과의 열 팽창차에 의한 위치 어긋남이 문제이지만, 본 발명에 따른 실장 방법으로는 접합 온도를 상온까지 내리는 것이 가능하기 때문에, 미세 피치의 접속에 있어서도 고정밀도의 금속 접합이 가능해지며, 고정밀도 고신뢰의 플립 칩 실장 구조를 제공할 수 있는 것이다. 또한, 실장 조립 후의 패키지에 있어서는 접속부를 저열 팽창화한 언더필 수지로 굳어지고, 테이프 기판 중앙을 개구한 구조로 하고 있기 때문에, 실사용 환경 하에서의 온도 변동에 있어서, 언더필의 고착 효과와 슬릿의 왜곡 흡수 효과에 의해 범프 접합부에 가해지는 열 왜곡을 작게 할 수 있어, 패키지의 온도 사이클 신뢰성을 대폭 향상할 수 있는 것이다. 또한, 내부 접속부의 내열성은 수지의 내열 온도에 비하여 충분히 높기 때문에, 패키지를 배선 기판에 탑재하는 땜납 리플로우 공정에 있어서, 어떠한 문제도 생기지 않는 것이다.

(실시예 11)

도 22는 한쪽 면 수지 몰드 타입의 반도체 패키지에 본 발명의 플립 칩 실장 구조를 적용한 경우의 패키지 단면 구조의 일 실시예를 나타낸다. 도 22에 있어서, 반도체 칩(1: LSI 칩)의 Al 전극(2)에는 Au 스터드 범프(3)가 형성되어 있다. 유리 클로스(glass cloth)와 에폭시 수지로 구성된 배선 기판(4: 유기 캐리어 기판)의 칩측에는 배선 패턴과 내부 접속 패드가 형성되어 있다. 내부 접속 패드는 내부 접속 단자(5: Cu 패드)와 그 위에 형성된 Ni/Au 도금(200)을 포함한다. 기판의 하측에는 외부 접속 단자(9)가 형성되며, 외부 접속 단자(9)에 땜납 범프(201)가 형성되어 있다. 내부 접속 패드와 Au 스터드 범프는 본 발명의 초음파 접합법에 의한 Au/Au의 금속 접합이 달성되고 있다. 칩과 기판과의 간극에는 열 경화성 수지(6)와, 열 경화성 수지(6)보다도 저열 팽창으로 사이즈가 상기 간극의 1/3 이하인 구형의 절연성 무기 필러(7)를 갖는 제1 수지(220)가 충전되어 있다. 또한, 기판의 한쪽 면에 칩을 덮도록 분쇄 형상의 저열 팽창 대형 필러 입자(221)와 열 경화성 수지(222)를 갖는 제2 수지(223)가 몰드되어 있다. 대형 필러 형상은 분쇄형뿐만 아니라, 비용이 허용하면 구형이나 다른 형상이어도 된다.

본 실시예에 따르면, 칩을 유기 캐리어 기판에 접합하는 공정을 수지 시트를 사이에 두고 플립 칩 실장하는 공정법에 의해, 다편 일괄 접합과 언더필 수지 충전을 동시에 행하고 또한 칩과 기판 간에 발생하기 쉬운 보이드를 완전하게 없앨 수 있어 와이어 본딩법에 비교했을 때의 생산성의 저하와 보이드에 기인하는 리플로우 크랙 등의 문제를 해결할 수 있다. 또한, 칩 전체를 몰드하고 있음으로써 통상의 언더필 밀봉만의 구조에 비교하여 칩을 기판의 압박력이 강해져, 내부 접속부에 항상 압축 응력이 작용하고, 온도 사이클 등의 열 왜곡에 대하여 접합부에 크랙이 발생하여 단선한다는 문제를 방지하여, 매우 신뢰성이 높은 패키지를 제공할 수 있는 것이다. 전기적 특성이 좋은 것, 내부 접속의 내열성이 높고 배선 기판 탑재 상의 문제가 전혀 없는 것, 패키지 높이를 낮게 할 수 있는 것 등의 이점이 있는 것은 물론이다.

(실시예 12)

도 23은 세라믹 모듈에 본 발명의 플립 칩 실장 구조를 적용한 일 실시예를 나타낸다. 도 23에 있어서, 배선 기판(4: 세라믹 기판)에는 인쇄 소성에 의해 형성된 Ag계의 후막 도체 패턴(230, 231, 232)이 형성되고, 플립 칩 접속되는 도체 패턴(230)에는 볼 본딩에 의해 Au 스터드 범프(3')가 형성되고 레벨링 처리에 의해 평탄화되어 있다. 수동 부품(233, 234)과 세라믹 기판의 도체 간은 Sn계의 땜납(235, 236)으로 접속되어 있다. 반도체 칩(1: 베어 칩)의 Al 전극(2)에는 테어링 오프법으로 Au 스터드 범프(3)가 형성되고, 세라믹 기판의 평탄화된 Au 스터드 범프면에 Au-Au의 금속 결합으로 접합되어 있다. 접합 공정 직전에, 평탄화 Au 스터드 범프 표면을 스퍼터 클리닝법에 의해 청정화하여 조립하고 있다. 모듈의 칩과 기판 간에는 저열 땡창의 SiO_2 필러를 70% 이상 포함하는 열 경화성의 언더필 수지(8')가 충전되어 있다. 기판측의 평탄화 범프 치수는 두께 $15\mu\text{m} \times$ 직경 $80\mu\text{m}$, 칩측의 범프 치수는 초기에서 높이 $80\mu\text{m} \times$ 직경 $60\mu\text{m}$ 에서 압착 후에 높이 $40\mu\text{m} \times$ 직경 $60\mu\text{m}$ 이다. 접합으로 둑개진 것은 와이어부 및 모세관 흘로 형성된 2단째의 상부까지로, 초기의 볼이 둑개져서 형성된 1단째의 토대 부분은 거의 변형이 생기지 않은 접합 조건으로 접합되어 있다.

본 실시예에 따르면, 종래의 땜납 범프를 사용한 C4에 의한 베어 칩 탑재 모듈에 비하여, LSI 접속 패드 피치를 $300\mu\text{m}$ 이상의 레벨로부터 $100 \sim 200\mu\text{m}$ 레벨까지 협피치화할 수 있어, 통상의 와이어 본딩 실장용으로 생산되어 있는 LSI 칩을 그대로 플립 칩 실장에 적용할 수 있고 저비용화를 도모할 수 있다는 이점이 있다. 또한, C4용 땜납이 고용점 땜납인 경우에는 환경 오염으로 문제가 되는 무연화가 어렵다는 문제가 있고, 무연인 Sn계 땜납을 사용하면 고상 온도가 220°C 이하가 되어 그 후의 납땜 실장에 있어서 사용할 수 있는 땜납이 용점의 점에서 제약을 받는다는 문제가 있는데 대하여, 본 실시예로서는 무연화와 내열성을 동시에 해결할 수 있다는 이점이 있다. 한편, 와이어 본딩을 사용한 베어 칩 탑재 모듈과 비교하면, 와이어 방식으로는 탑재에 필요한 스페이스가 칩 사이즈보다 커지고 고밀도 실장이 원리적으로 어렵다는 문제가 있으며, 전기적 특성이 와이어의 인덕턴스 성분에 의해 개선(고속 전송)할 수 없는데 대하여, 본 실시예에서는 고밀도 실장과 고속 신호 전달 양쪽을 동시에 해결할 수 있다는 이점이 있다.

(실시예 13)

도 24는 각 종 모듈의 조립 수순의 일 실시예를 나타낸다. 부재로서 칩 접속 패드에 Au 도금을 실시한 모듈 기판, Au 범프를 형성한 LSI 칩, 반경화시킨 유기 필름 또는 액상 수지를 준비한다. 유기 필름의 경우, 모듈 기판과 유기 필름과 LSI 칩을 접속 단자의 위치를 맞춰 적층 탑재하고, 압력과 열과 초음파를 가하여 연화한 유기 필름을 파괴하고 Au 범프를 Au 패드에 금속 접합한다. 그 후, 가열 유지하여 수지를 경화 처리로부터, 땜납 페이스트 인쇄를 행하여 납땜 부품을 탑재하고, 리플로우 처리하여 납땜을 행한다. 한편, 액상 언더필 수지를 사용하는 경우에는 접합 공정에서 기판과 칩만 위치 정렬하여 우선 플립 칩 접합하고, 그 후에 액상 수지를 기판과 칩 간에 모세관 현상 혹은 압입에 의해 주입하여 경화 처리를 행하는 수순으로 조립한다.

이 조립 수순에서는 플립 칩 접합하는 공정으로, 기판의 청정성이 높고 주위에 여분의 부품이 없다는 점에서 접합 상의 제약이 없다는 이점이 있다. 그러나, 땜납 페이스트 인쇄 공정에서, 이미 탑재된 베어 칩이 인쇄의 장해가 되기 때문에, 인쇄 방법에 연구가 필요해진다는 문제가 있다.

(실시예 14)

도 25는 도 24와는 반대인 세라믹 모듈의 조립 수순의 다른 실시예를 나타낸다. 준비하는 부재는 동일하며, 우선 모듈 기판에 납땜 부품을 인쇄 또한 리플로우 공정에 의해 탑재한다. 이 공정에서 기판의 도체 패턴이 플렉스 등의 유기 증기나 기초재의 확산 표출에 의해 오염되기 때문에, 납땜 부품 탑재 후에 유기 용매에 의한 세정 및 스퍼터 클리닝에 의한 세정 처리를 행한다. 그 후, 기판 상에 필러 함유 유기 페이스트를 도포하여 Au 범프 형성 칩을 위치 결정하여 탑재하고, 가열 가압하여 초음파 접합한다. 마지막으로 반경화 상태의 유기 수지를 완전 경화 처리하여 조립을 완료한다.

이 조립 수순에 따르면, 납땜 부품의 탑재를 용이하게 행할 수 있다는 이점이 있지만, 플립 칩 접합되는 도체면의 오염이 생기기 때문에 청정화 공정의 채용이 필수이고, 조립 공정이 늘어난다는 결점도 있다. 도 23과 도 24의 조립 수순의 선택은 모듈 제품에 의해서 이점·결점을 확인하여 선택하게 된다.

(실시예 15)

도 26은 본 발명에 따른 유기 기판을 사용한 멀티 칩 모듈의 단면 구조의 일 실시예이다. 도 26에 있어서, LSI 칩(250, 251)의 표면에는 재배선층(253)이 형성되며, 주변에 배치된 칩 전극(2)을 칩 전면에 다시 재배치하고 있다. 칩 전극은 Al 합금이지만 재배치 전극(254)은 Cu를 코어로 하고 최외측 표면을 Au로 한 재료 구성이다. 재배치 전극 상에는 Au 범프(3)가 볼 본딩법 혹은 도금법에 의해 형성되어 있다. 유기 배선 기판(4: 유기 모듈 기판)은 유리 에폭시제로 칩측 면에는 내부 접속 단자(5)가 형성되고, 반대측 면에는 외부 접속 단자(9)가 형성되어 있다. 외부 접속 단자에는 Sn 베이스의 땜납 범프(201)가 형성되어 있다. 내부 접속 단자는 Cu 코어 상에 Au 도금된 구조로, 칩의 Au 범프가 금속적으로 접합되어 있다. 칩과 기판 간에는 수지의 열 팽창율 보다도 낮은 저열 팽창율을 갖는 미소 구형 필러를 포함하는 열 경화성의 언더필 수지(8')가 충전되어 있다. 칩/칩 간은 유기 필름으로 언더필 수지를 충전하는 방식에 의해서, 1㎲ 정도의 좁은 간극이라도 언더필 수지가 분리된 구조로 하고 있다. 언더필 수지 중 미소 구형 필러의 평면 분포는 임의의 개소에서부터 1㎲ 정방형 사이즈의 필러 함유율을 구했을 때의 함유율의 변동이 최대 ±5% 이하로 제어되고 있다. 이것은 언더필 수지를 필러가 균일하게 분산된 시트로 공급하는 방법에 의해서만 실현할 수 있다.

본 실시예에 따르면, 칩 상에 재배선층을 형성하여 전극을 재배치하고 있기 때문에 초기의 칩 전극의 파치나 배치에 무관하게 접속부의 전극 피치와 배치를 선택할 수 있어, 어떠한 사양의 칩에서도 모듈 기판에 탑재 가능해진다. 이 때문에, 접속 전극을 칩의 중앙에 모으면 가장 먼 범프 간 거리가 줄어 그 거리에 비례하여 발생하는 최대 열 왜곡을 작게 할 수 있고, 열 피로 수명을 대폭 향상할 수 있다. 또한, 접속 전극을 칩 전면에 분산시키면 전극 피치를 성기게 할 수 있어 모듈 기판과의 위치 정렬 작업이 용이해지고, 동시에 모듈 기판의 제조가 저정밀도로 좋기 때문에 저비용화할 수 있다는 이점이 있다. 또한, 플립 칩 접합 공정에서 재배선층이 범프를 통해 칩에 가해지는 응력의 완충층의 역할을 완수하기 때문에, 칩 손상의 발생이 없어지고 조립 수율을 대폭 향상할 수 있다는 이점도 있다. 또한, 칩 간의 언더필 수지를 분리함으로써, 언더필 수지 자신의 열 변형에 의해서 범프 접합부에 가해지는 전단 왜곡을 작게할 수 있어 접합부의 신뢰성을 향상할 수 있는 것이다.

(실시예 16)

도 7은 평균 입경 0.5㎛의 SiO_2 필러를 60% 함유하는 반경화시킨 에폭시 수지를 포함하는 두께 50㎛의 유기 수지 시트를 Au 스터드 범프를 형성한 칩과 Ni/Au 도금 패드를 형성한 기판 간에 삽입하여, 가열 온도: 180°C, 접합 하중: 1 00g/범프(칩 하중: 25.6kg), 초음파 진폭: 3㎛, 발진 시간 300ms의 조건으로 접합한 범프 접합부의 확대 사진이다. 또, 반경화시킨 수지 시트의 접합 온도 180°C에서의 점도는 100Pa/s의 경우이다. Au 범프가 수지 시트를 관통하여 Au 패드와 접촉하고, 고형의 필러도 접합 계면으로부터 배출하여 금속 접합이 달성되고, 칩측 접합면의 직경: 기판측 접합면의 직경=100 : 48의 비율의 접합부가 형성되어 있다. 반경화시키는 온도 조건을 내려 180°C에서의 점도를 10Pa/s로 한 수지 시트를 이용한 경우, 접합 하중: 50g/범프의 조건으로 도 7의 접합부 형상과 거의 마찬가지인 형상의 접합부가 얻어지는 것도 확인하였다.

본 실시예에 따르면, 기판측의 접합 면적을 칩측의 접합 면적의 1/4로 작게 할 수 있어, 초음파를 가하여 접합할 때의 칩측의 소자나 절연 다층막 구조부에 가해지는 응력을 Au 항복 강도의 1/4 이하(3kg/㎟ 이하)로 저감할 수 있고, 접합 시의 칩 손상을 저감할 수 있다는 효과가 있다. 또한 수지 시트의 가열 시의 점도를 10Pa/S로부터 더욱 작게 하면 접합 하중을 50g/범프보다 더욱 작게 하여 접합할 수 있어 하중에 따라 칩에 발생하는 응력을 저감할 수 있고 또한 칩 손상의 발생 확률을 저감할 수 있어 조립 수율을 향상시킬 수 있다는 효과가 있는 것이다.

(실시예 17)

도 27은 본 발명의 플립 칩 실장 구조를 적층형의 멀티 칩 패키지에 적용한 경우의 패키지 단면 구조의 일 실시예를 나타낸다. 도 27에 있어서, 제1 칩(265)의 전극(2)에는 Au 도금 범프(266)가 형성되어 있다. 제2 칩(261)의 내부 접속 전극(262)과 Au 도금 범프가 본 발명에 따른 실장 방법으로 접합되어 있다. 전극(262)의 최외측 표면은 증착 또는 도금의 Au막이다. 칩과 칩 간에는 제1 언더필 수지(271)가 충전되어 있다. 제2 칩 상의 외부 접속 전극(263) 상에는 Au 스터드 범프(264)가 형성되고, 캐리어 기판(267) 상의 내부 접속 패드(268)와 본 발명에 따른 실장 방법으로 접합되어 있다. 내부 접속 패드는 Cu 패턴에 Ni/Au 도금되어 형성되어 있다. 제2 칩과 기판과의 접속부 높이는 내부에 제1 칩을 안고 있기 때문에, 그 높이보다 높게 할 필요가 있다. 도 27에서는 제1 칩 두께는 $60\mu\text{m}$, 칩과 칩과의 접속 높이를 $10\mu\text{m}$ 로 하고 있고, 기판의 Cu 패턴 두께 $70\mu\text{m}$, Au 범프 두께 $40\mu\text{m}$ 로 하고 있다. 제2 칩과 기판 간에는 제2 언더필 수지(272)가 충전되어 있다. 캐리어 기판의 하측에는 외부 접속용 패드(269)가 형성되어, 그 위에 땀납 범프(201)가 탑재되어 있다.

본 실시예에 따르면, 칩과 칩을 대면 배치에 의해 최단거리로 접속한 구조로서, 접속 펀수도 Au 범프를 미세화함으로써 100핀/ mm^2 이상의 밀도로 다핀의 접속이 가능해지기 때문에, 다른 공정에서 제작된 칩에서도 도 27과 같이 적층함으로써 1칩을 포함한 것과 동일한 레벨의 신호 전송 특성이 확보되어, 시스템 LSI를 패키지 레벨로 구성할 수 있게 된다. 이 경우, 양쪽의 양품 칩만을 사용할 수 있어 웨이퍼 레벨로 시스템 LSI를 구성하는 방법에 비하여 양품 칩의 제조 수율을 대폭 개선할 수 있다.

(실시예 18)

도 28은 본 발명의 플립 칩 실장 구조를 적층형의 멀티 칩 패키지에 적용한 경우의 패키지 단면 구조의 다른 일 실시예를 나타낸다. 칩 적층 구조는 도 27과 마찬가지이지만, 캐리어 기판(267)에 제1 칩(265)보다 큰 사이즈의 개구부가 형성되어, 제1 칩이 기판 내에 삽입된 구조로 되어 있다. 조립 실장 방법은 중앙에 개구부를 형성한 캐리어 기판의 칩 전극 접속 패드와 땀납볼 탑재 랜드의 최외측 표면에 Au 도금하는 공정과, 제2 칩의 접속 전극에 Au 둘기 범프를 형성하는 공정과, 제1 칩의 접속 전극과 제2 칩의 Au 범프를 위치 정렬하여 탑재하는 공정과, 칩 이면으로부터 가열과 가압과 초음파 진동을 인가하여 접속 전극과 Au 범프를 접합하여 전기적으로 접속하는 공정과, 캐리어 기판의 접속 패드에 상기 제2 칩의 Au 범프를 위치 정렬하여 탑재하는 공정과, 칩측으로부터 가열과 가압과 초음파 진동을 인가하는 공정과, 칩과 기판 간 및 칩과 칩 간에 저열 팽창 필러를 함유하는 액상 수지를 충전하는 공정과, 충전한 수지를 가열 경화하는 공정을 포함한다.

본 실시예에 따르면, 종래와 동일한 두께의 칩을 사용하여 2단 적층 구조의 멀티 칩 패키지를 Au 범프의 플립 칩 접합으로 실장할 수 있고, 패키지 두께도 종래의 싱글 칩 패키지와 동일한 두께로 할 수 있어 전자 기기의 컴팩트화에 매우 효과가 있다. 또한, 모든 칩이 이면이 외부로 노출되고 있기 때문에, 발열이 많은 칩끼리라고 해도 양호한 방열성을 유지하여 열적으로 문제가 없는 패키지를 구성할 수 있는 것이다.

(실시예 19)

도 29는 본 발명의 플립 칩 실장 구조를 4단 적층 멀티 칩 패키지에 적용한 경우의 패키지 단면 구조의 일 실시예이다. 도 29에 있어서, 제1 칩(265)과 제2 칩(261) 또한 제3 칩(291)과 제4 칩(293)은 Au 범프(3)를 이용한 본 발명에 따른 플립 칩 실장 방법에 의해 접합되어 있다. 캐리어 기판(267)과 제1 칩은 Au 범프(3)를 이용한 초음파 플립 칩 접합으로 접속되어 있다. 제1 칩을 기판에 탑재 후, 그 이면에 제3 칩의 이면을 마주 대하여 접착제(295)로 고착하고 있다. 제3 칩의 외부 접속 전극(263)에는 평탄화 처리된 Au 범프(292)가 형성되어 있고, 캐리어 기판의 내부 접속 패드

(268)와 이 Au 범프 간이 역Au 와이어 본딩법에 의해 Au 본딩 와이어(294)를 이용하여 접속되어 있다. 캐리어 기판의 중앙에는 제2 칩을 매설 가능한 크기의 개구부가 형성되어 있고, 기판의 한쪽 면은 칩을 전부 덮도록 수지(296)로 몰드되어 있다. 기판의 반대측의 면에는 외부 접속용 패드(269)가 형성되며 땜납 범프(201)가 형성되어 있다.

본 실시예에 따르면, 4단 적층의 한쪽 면 몰드형 멀티 칩 BGA 패키지를 싱글 칩 패키지와 동일한 면적 사이즈로 구성하는 것이 가능해지고, 고밀도 실장에 최적의 패키지를 제공할 수 있는 것이다. 또한, 패키지 두께도 4칩과 캐리어 기판을 중첩한 정도의 두께로 억제할 수 있고 두께의 점에서도 매우 조밀하게 조립할 수 있는 것이다.

(실시예 20)

다른 실시예로서, 도 29에서의 제1 및 제3 칩의 발열이 많은 경우에 양자간에 방열용 일부가 외부까지 노출하는 크기의 열 확산판을 사이에 두고 접착하는 구조로 하였다. 열 확산판은 두께 0.2mm의 표면에 Ni 도금한 Cu판으로, 와이어 본딩이 없는 영역에서부터 돌출하도록 패키지의 외부에 노출시켰다.

본 실시예에서는, 발열량이 많은 LSI 칩을 다층에 적층한 경우라도, 방열판의 효과로 냉각 성능의 향상이 도모되고, 패키지 내의 LSI를 정상적으로 동작시키는 것이 가능해지는 것이다. 이 결과, 발열량이 많은 LSI를 다수 포함하는 전자 시스템을 고집적으로 조밀하게 실장할 수 있다는 효과가 있는 것이다.

(실시예 21)

도 30은 본 발명의 플립 칩 실장 구조를 2단 적층형 3칩 이상의 멀티 칩 패키지에 적용한 경우의 패키지 단면 구조의 일 실시예이다. 도 30에 있어서, 캐리어 기판(267)에 캐비티를 형성하고 있다. 제1 칩(265)은 웨이퍼 공정 패키지(WPP)의 제법으로 조립한 칩에서, 표면에 폴리이미드와 Cu 배선으로 구성한 재배선층을 형성하고 있고, 주변 칩 전극(2)의 구조의 LSI 칩을 영역형의 재배치 전극(301, 302)으로 변환하고 있다. 또한, 재배치 전극 재질은 칩 전극의 재질에 상관없이 최외측 표면층을 Au을 포함하고 있다. 제1 칩과 제2 및 제3 칩은, Au 범프(3)를 사용한 본 발명에 따른 실장 방법에 의해 접합하고 있다. 또, 제1 칩과 캐리어 기판(267)은 칩과 칩의 접합과 마찬가지로 Au 범프(3)를 사용한 초음파 플립 칩 접합에 의해서 접속하고 있다. 칩과 기판의 접합에서는 내부 구조의 요철이 현저하기 때문에 수지 시트 일괄 접합이 아니라, 후에 액상 수지를 주입하는 방식으로 수지 충전을 행하고 있다. 모세관 사이즈를 크게 선택함으로써, 수지 충전의 문제, 즉 필러 함유율이 많은 수지의 충전성 개선과 보이드의 발생 방지를 해결하고 있다. 도 30에서, 참조 부호 303은 땜납 레지스트이다.

본 실시예에 따르면, 도 27의 경우와 마찬가지로, 시스템 LSI를 패키지 레벨로 구성할 수 있어 수율을 개선하고 저비용인 시스템 LSI 패키지를 제공할 수 있는 것이다.

(실시예 22)

도 31은 본 발명에 따른 유기 기판을 사용한 멀티 칩 모듈의 단면 구조의 다른 일 실시예이다. 도 31에 있어서, LSI 칩(340, 341)의 표면의 AI 전극(342)에는 Au 범프(343)가 볼 본딩법 혹은 도금법에 의해 형성되고 있다. 유기 모듈 기판(344)은 유리 에폭시제로 칩측 면에는 내부 접속용 패드(345)가 형성되고, 반대측의 면에는 외부 접속용 패드(346)가 형성되어 있다. 외부 접속용 패드에는 Sn 베이스의 땜납 범프(349)가 형성되어 있다. 내부 접속용 패드는 Cu 코어 상에 Ni/Au 도금한 구조로 칩의 Au 범프가 금속적으로 접합되어 있다. 칩과 기판 간에는 저열 팽창의 미소 구형 필러를 포함하는 열 경화성의 언더필 수지(347, 348)가 충전되어 있다. 언더필 수지 충전 영역은 칩 사이즈보다 작게 형성되어 있다. 수지의 단부면이 칩의 단부면보다 내측에서 최외주의 범프보다도 외측에 형성되어 있는 구조가 된다. 칩과 칩과의 간극은 0.05 ~ 2mm 정도의 좁은 간극으로 배치되고, 기판 사이즈는 배열된 칩의 최외주의 변을 연결한 포락선과 동등한 크기로 하고 있다.

본 실시예에 따르면, 칩 간의 언더필 수지를 분리한 구조로 또한 칩을 근접시켜 실장할 수 있기 때문에, 언더필 수지 자신의 열 변형에 의해 발생하는 응력을 작게 할 수 있어 접합부의 신뢰성이 높고 또한 실장 밀도를 향상한 조밀한 반도체 모듈을 제공할 수 있다.

(실시예 23)

도 32는 본 발명에 따른 유기 기판을 사용한 멀티 칩 모듈의 단면 구조의 다른 일 실시예이다. 도 32에 있어서, LSI 칩 (350, 351)의 표면의 AI 전극(352)에는 Au 범프(353)가 볼 본딩법 혹은 도금법에 의해 형성되어 있다. 유기 모듈 기판(354)은 유리 에폭시제로 칩측의 면에는 내부 접속용 패드(355)가 형성되어 반대측의 면에는 외부 접속용 패드(356)가 형성되어 있다. 외부 접속용 패드에는 Sn 베이스의 땜납 범프(360)가 형성되어 있다. 내부 접속용 패드는 Cu 코어 상에 Ni/Au 도금한 구조로, 그 위에 Au 범프(353)가 도금법 혹은 볼 본딩법에 의해 형성되어 있다. 그리고 기판 및 칩의 Au 범프끼리가 금속적으로 접합되어 있다. 칩과 기판 간에는 저열 팽창의 미소 구형 필러를 포함하는 열 경화성의 언더필 수지(358, 359)가 충전되어 모듈 기판의 칩 탑재측의 한쪽 면을 전면에 걸쳐 수지(361)로 몰드되어 있다.

본 실시예에 따르면, Au 범프끼리의 접합 구조이기 때문에 접합성이 개선되고, 접합에 필요한 초음파 출력을 저감할 수 있어 칩 손상의 저감을 도모할 수 있다. 또한, 칩과 기판과의 간극을 넓게 할 수 있어, 열 왜곡에 의해 Au 범프 접합부에 발생하는 응력을 저감할 수 있고 또한 몰드한 수지의 수축 효과로 항상 Au 범프부에 압축력이 부여되기 때문에, 온도 사이클 수명을 대폭 향상할 수 있다는 이점이 있다.

이상의 설명에 관하여 또한 이하의 항 (1) 내지 (9) 및 (14) 내지 (16)을 개시한다.

(1) 전기 신호를 처리하는 회로를 구비하는 반도체 칩과,

상기 반도체 칩에 설치된 전극과,

상기 전극 상에 형성된 범프와,

상기 전극으로부터 상기 범프를 통해 전기 신호를 추출하는 내부 접속 단자와,

상기 내부 접속 단자를 설치한 배선 기판을 구비하고,

상기 반도체 칩과 상기 배선 기판 간에 가열하여 연화하는 반경화 수지 시트를 삽입하고, 하중을 걸고, 가열하여 초음파 진동을 주어 상기 범프와 상기 내부 접속 단자가 금속 접합된 것을 특징으로 하는 플립 칩 실장 구조.

(2) (1)에 있어서,

상기 범프는 귀금속인 것을 특징으로 하는 플립 칩 실장 구조.

(3) (2)에 있어서,

상기 귀금속은 Au인 것을 특징으로 하는 플립 칩 실장 구조.

(4) (1), (2) 또는 (3)에 있어서,

상기 금속 결합된 접합부를 구성하는 금속 재료의 융점이 275°C 이상이고 또는/및 상기 반도체 칩과 상기 배선 기판 간에 삽입되는 수지 시트는 무기 필러를 50vol% 이상 포함하는 것을 특징으로 하는 플립 칩 실장 구조.

(5) 전기 신호를 처리하는 회로를 구비하는 반도체 칩과,

상기 반도체 칩에 설치된 전극과,

상기 전극 상에 형성된 귀금속 범프와,

상기 전극으로부터 상기 범프를 통해 전기 신호를 추출하는 내부 접속 단자와,

상기 내부 접속 단자를 설치한 배선 기판을 구비하고,

상기 귀금속 범프와 상기 내부 접속 단자의 귀금속막이 금속 접합으로 접속되고, 상기 반도체 칩과 상기 배선 기판 간에 무기 필러를 50vol% 이상 포함하는 수지를 구비하는 것을 특징으로 하는 플립 칩 실장 구조.

(6) 전기 신호를 처리하는 회로를 구비하는 반도체 칩과,

상기 반도체 칩에 설치된 전극과,

상기 전극 상에 형성된 귀금속 범프와,

상기 전극으로부터 상기 범프를 통해 전기 신호를 추출하는 내부 접속 단자와,

상기 내부 접속 단자를 설치한 배선 기판을 구비하고,

상기 전극과 상기 내부 접속 단자가 상기 귀금속 범프를 통해 접속되고, 접속부의 전기 저항이 0.1 ~ 10mΩ의 범위이고, 상기 반도체 칩과 상기 배선 기판 간에 무기 필러를 50vol% 이상 포함하는 수지를 구비하는 것을 특징으로 하는 플립 칩 실장 구조.

(7) 반도체 칩의 금속 전극과 배선 기판의 내부 접속 단자가 귀금속 범프를 통해 금속 접합으로 접속되고, 그 접합부를 구성하는 금속 재료의 용점이 275°C 이상이고, 상기 반도체 칩과 상기 배선 기판 간에 무기 필러를 50vol% 이상 포함하는 수지를 구비하는 것을 특징으로 하는 플립 칩 실장 구조.

(8) (1) 또는 (7)에 기재된 플립 칩 실장 구조에 있어서, 상기 무기 필러의 입경이 압착 후의 범프 높이의 1/3 이하인 것을 특징으로 하는 플립 칩 실장 구조.

(9) (1) 또는 (8)에 기재된 플립 칩 실장 구조에 있어서, 상기 무기 필러의 열 팽창율은 상기 유기 수지의 열 팽창율보다도 낮은 것을 특징으로 하는 플립 칩 실장 구조.

(14) 배선 기판 상에 반도체 칩을 페이스 다운으로 탑재하는 실장 방법에 있어서, 반도체 칩의 전극에 귀금속 범프를 형성하는 공정과, 상기 배선 기판의 소정 위치에 무기 필러를 50 vol% 이상 포함하는 반경화 상태의 수지 시트를 올려놓고, 그 위에 상기 반도체 칩을 귀금속 범프와 상기 배선 기판의 내부 접속 단자와의 위치를 맞춰서 탑재하는 공정과, 접합 툴에 의해 반도체 칩의 이면측에서 열파 하중과 초음파를 가하여 귀금속 범프를 수지 시트에 압입하고, 더 압박하여 귀금속 범프를 내부 접속 단자에 형성된 귀금속막에 압착한 후, 더 가열 처리하여 수지 시트를 경화시키는 공정을 포함하는 것을 특징으로 하는 플립 칩 실장 방법.

(15) 배선 기판 상에 반도체 칩을 페이스 다운으로 탑재하는 실장 방법에 있어서, 반도체 칩의 전극에 귀금속 범프를 형성하는 공정과, 상기 배선 기판의 소정 위치에 무기 필러의 함유율이 다른 복수개의 반경화 상태의 수지 시트를 올려놓고, 그 위에 상기 반도체 칩을 귀금속 범프와 상기 배선 기판의 내부 접속 단자와의 위치를 맞춰서 탑재하는 공정과, 접합 툴에 의해 반도체 칩의 이면측에서부터 열파 하중과 초음파를 가하여 귀금속 범프를 수지 시트에 압입하고, 더 압박하여 귀금속 범프를 내부 접속 단자에 형성된 귀금속막에 압착한 후, 더 가열 처리하여 수지 시트를 경화시키는 공정

을 포함하는 것을 특징으로 하는 플립 칩 실장 방법.

(16) (14) 또는 (15)에 기재된 플립 칩 실장 구조에 있어서, 상기 무기 필러의 형상이 구형이고, 필러의 입경이 압착 후의 범프 높이의 1/3 이하가 되도록 선택되어 있는 것을 특징으로 하는 플립 칩 실장 방법.

발명의 효과

본 발명에 따르면, 칩을 배선 기판에 페이스 다운으로 탑재한 실장 구조에 있어서, 전기적 접속부의 온도 사이클 신뢰성과 전기 특성이 우수한 플립 칩 실장 구조를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

플립 칩 실장 구조에 있어서,

전기 신호를 처리하는 회로를 구비하는 반도체 칩과,

상기 반도체 칩에 설치된 전극과,

상기 전극 상에 형성된 범프와,

상기 전극으로부터 상기 범프를 통해 전기 신호를 추출하는 내부 접속 단자와,

상기 내부 접속 단자를 설치한 배선 기판을 구비하고,

상기 반도체 칩과 상기 배선 기판 간에 가열하여 연화하는 반경화 수지 시트를 삽입하고, 하중을 걸고, 가열하고 초음파 진동을 주어 상기 범프와 상기 내부 접속 단자가 금속 접합된 플립 칩 실장 구조.

청구항 2.

제1항에 있어서,

상기 범프는 귀금속인 플립 칩 실장 구조.

청구항 3.

제2항에 있어서,

상기 귀금속은 Au인 플립 칩 실장 구조.

청구항 4.

제1항에 있어서,

상기 금속 결합된 접합부를 구성하는 금속 재료의 용점이 275°C 이상이고 또는/및 상기 반도체 칩과 상기 배선 기판 간에 삽입되는 수지 시트는 무기 필러를 50vol% 이상 포함하는 플립 칩 실장 구조.

청구항 5.

플립 칩 실장 구조에 있어서,

전기 신호를 처리하는 회로를 구비하는 반도체 칩과,

상기 반도체 칩에 설치된 전극과,

상기 전극 상에 형성된 귀금속 범프와,

상기 전극으로부터 상기 범프를 통해 전기 신호를 추출하는 내부 접속 단자와,

상기 내부 접속 단자를 설치한 배선 기판을 구비하고,

상기 귀금속 범프와 상기 내부 접속 단자의 귀금속막이 금속 접합으로 접속되고, 상기 반도체 칩과 상기 배선 기판 간에 무기 필러를 50vol% 이상 포함하는 수지를 구비하는 플립 칩 실장 구조.

청구항 6.

플립 칩 실장 구조에 있어서,

전기 신호를 처리하는 회로를 구비하는 반도체 칩과,

상기 반도체 칩에 설치된 전극과,

상기 전극 상에 형성된 귀금속 범프와,

상기 전극으로부터 상기 범프를 통해 전기 신호를 추출하는 내부 접속 단자와,

상기 내부 접속 단자를 설치한 배선 기판을 구비하고,

상기 전극과 상기 내부 접속 단자가 상기 귀금속 범프를 통해 접속되고, 접속부의 전기 저항이 $0.1 \sim 10m\Omega$ 의 범위이고, 상기 반도체 칩과 상기 배선 기판 간에 무기 필러를 50vol% 이상 포함하는 수지를 구비하는 플립 칩 실장 구조.

청구항 7.

플립 칩 실장 구조에 있어서,

반도체 칩의 금속 전극과 배선 기판의 내부 접속 단자가 귀금속 범프를 통해 금속 접합으로 접속되고, 그 접합부를 구성하는 금속 재료의 융점이 275°C 이상이고, 상기 반도체 칩과 상기 배선 기판 간에 무기 필러를 50vol% 이상 포함하는 수지를 구비하는 플립 칩 실장 구조.

청구항 8.

제5항에 있어서,

상기 무기 필러의 입경이 압착 후의 범프 높이의 $1/3$ 이하인 플립 칩 실장 구조.

청구항 9.

제5항에 있어서,

상기 무기 필러의 열 팽창율은 상기 유기 수지의 열 팽창율보다도 낮은 플립 칩 실장 구조.

청구항 10.

반도체 칩의 금속 전극과 배선 기판의 내부 접속 단자가 귀금속 범프를 통해 금속 접합으로 접속되고, 그 접합부를 구성하는 금속 재료의 용점이 275°C 이상인 플립 칩 실장 구조에 있어서,

칩과 기판 간에 무기 필러를 포함하는 수지가 형성되어 있고, 상기 수지의 열 팽창율이 칩에 가까운 부분보다도 기판에 가까운 부분쪽이 높아지는 구조로 되어 있는 플립 칩 실장 구조.

청구항 11.

반도체 칩의 금속 전극과 배선 기판의 내부 접속 단자가 귀금속 범프를 통해 금속 접합으로 접속되고, 그 접합부를 구성하는 금속 재료의 용점이 275°C 이상인 플립 칩 실장 구조에 있어서,

칩과 기판 간에 무기 필러를 포함하는 수지가 형성되어 있고, 상기 수지에 포함되는 상기 무기 필러의 함유율이 칩에 가까운 부분보다도 기판에 가까운 부분쪽이 낮은 구조로 되어 있는 플립 칩 실장 구조.

청구항 12.

반도체 칩의 금속 전극과 배선 기판의 내부 접속 단자가 귀금속 범프를 통해 금속 접합으로 접속되고, 그 접합부를 구성하는 금속 재료의 용점이 275°C 이상인 플립 칩 실장 구조에 있어서,

칩과 기판 간에 무기 필러를 포함하는 수지가 형성되어 있고, 상기 수지에 포함되는 상기 무기 필러의 장소에 의한 함유율의 변동이 10% 이하인 플립 칩 실장 구조.

청구항 13.

반도체 칩의 금속 전극과 배선 기판의 내부 접속 단자가 귀금속 범프를 통해 금속 접합으로 접속되고, 그 접합부를 구성하는 금속 재료의 용점이 275°C 이상인 플립 칩 실장 구조에 있어서,

칩과 기판 간에 무기 필러를 포함하는 수지가 형성되어 있고, 상기 수지의 단부면을, 칩의 단부면보다 내측에 층외주의 범프보다도 외측에 형성한 플립 칩 실장 구조.

청구항 14.

배선 기판 상에 반도체 칩을 페이스 다운으로 탑재하는 실장 방법에 있어서, 반도체 칩의 전극에 귀금속 범프를 형성하는 공정과, 상기 배선 기판의 소정 위치에 무기 필러를 50 vol% 이상 포함하는 반경화 상태의 수지 시트를 올려놓고, 그 위에 상기 반도체 칩을 귀금속 범프와 상기 배선 기판의 내부 접속 단자와의 위치를 맞춰서 탑재하는 공정과, 접합 툴에 의해 반도체 칩의 이면측으로부터 열과 하중과 초음파를 가하여 귀금속 범프를 수지 시트에 압입하고, 더 압박하여 귀금속 범프를 내부 접속 단자에 형성된 귀금속막에 압착한 후, 더 가열 처리하여 수지 시트를 경화시키는 공정을 포함하는 플립 칩 실장 방법.

청구항 15.

플립 칩 실장 방법에 있어서,

배선 기판 상에 반도체 칩을 페이스 다운으로 탑재하는 실장 방법에 있어서, 반도체 칩의 전극에 귀금속 범프를 형성하는 공정과, 상기 배선 기판의 소정 위치에 무기 필러의 함유율이 다른 복수매의 반경화 상태의 수지 시트를 올려놓고, 그 위에 상기 반도체 칩을 귀금속 범프와 상기 배선 기판의 내부 접속 단자와의 위치를 맞춰서 탑재하는 공정과, 접합 툴에 의해 반도체 칩의 이면측으로부터 열과 하중과 초음파를 가하여 귀금속 범프를 수지 시트에 압입하고, 더 압박하여 귀금속 범프를 내부 접속 단자에 형성된 귀금속 막에 압착한 후, 더 가열 처리하여 수지 시트를 경화시키는 공정을 포함하는 플립 칩 실장 방법.

청구항 16.

제14항에 있어서,

상기 무기 필러의 형상이 구형이고, 필러의 입경이 압착 후의 범프 높이의 1/3 이하가 되도록 선택되어 있는 플립 칩 실장 방법.

청구항 17.

배선 기판 상에 반도체 칩을 페이스 다운으로 탑재하는 실장 방법에 있어서, 반도체 칩의 전극에 귀금속의 범프를 형성하는 공정과, 배선 기판의 내부 접속 단자에 저용점 금속의 막을 형성하는 공정과, 상기 배선 기판의 소정 위치에 수지 시트를 올려놓고, 그 위에 상기 반도체 칩을 범프와 접속 단자를 위치 정렬하여 탑재하는 공정과, 접합 툴에 의해 반도체 칩의 이면측으로부터 열과 하중과 초음파를 가하여 귀금속 범프를 유기 필름에 압입하고 또한 귀금속 범프를 접속 단자의 저용점 금속막면에 초음파를 가하면서 압박하여 용융한 저용점 합금을 접합 계면으로부터 배출하면서 압착하고, 접합 툴을 개방한 후 더 가열 처리하여 유기 필름을 경화시켜서, 계면에 잔존한 저용점 금속을 범프나 단자측에 확산시켜 접합부를 고용점화하는 공정을 포함하는 플립 칩 실장 방법.

청구항 18.

제17항에 있어서,

저용점 금속이 Sn, In, Ga, Bi, Tl 중 어느 하나를 주성분으로 하는 합금 또는 단일 금속인 플립 칩 실장 방법.

청구항 19.

배선 기판에 반도체 칩을 페이스 다운으로 탑재한 반도체 패키지에 있어서,

반도체 칩의 전극에 형성된 귀금속의 범프와, 배선 기판의 내부 접속 단자에 형성된 귀금속 막이 금속 접합되어 있고, 반도체 칩과 배선 기판 간에 무기 필러를 50vol% 이상 포함하는 수지를 구비하고, 반도체 칩과 접속되어 있지 않은 상기 배선 기판의 이면에 외부 접속 단자를 구비하는 반도체 패키지.

청구항 20.

제19항에 있어서,

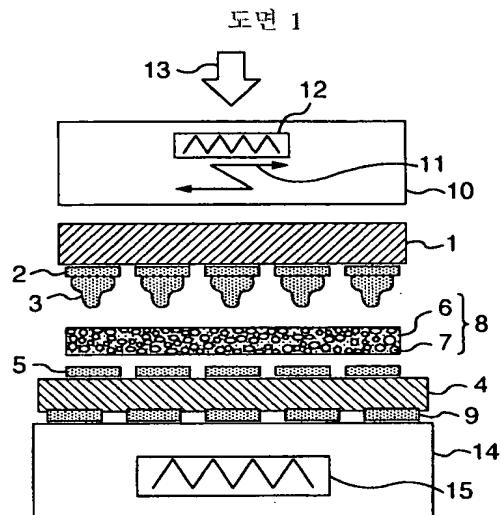
상기 배선 기판의 재료가 유리 에폭시이고, 상기 배선 기판의 반도체 칩이 탑재된 측의 면을 밀봉하는 수지의 필러 입경과, 반도체 칩과 배선 기판 간의 수지의 필러 입경이 다른 반도체 패키지.

청구항 21.

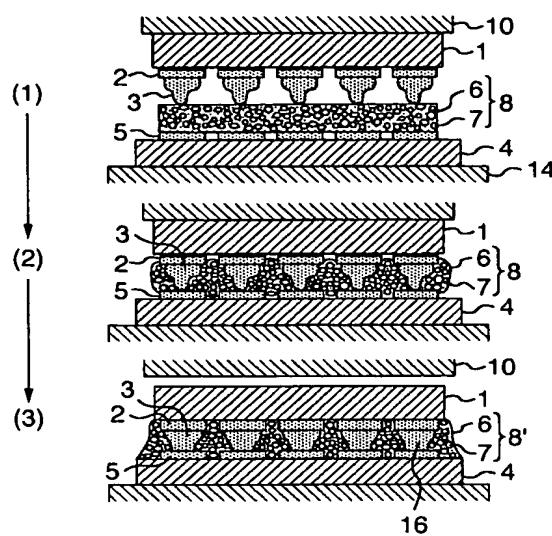
배선 기판에 반도체 칩을 페이스 다운으로 탑재하고, 상기 배선 기판에 다른 능동 부품 및/또는 수동 부품을 탑재한 반도체 모듈에 있어서,

반도체 칩의 전극에 형성된 귀금속의 범프와, 배선 기판의 내부 접속 단자에 형성된 귀금속막이 금속 접합되어 있고, 반도체 칩과 배선 기판 간에 무기 필러를 50vol% 이상 포함하는 수지를 구비하고, 반도체 칩과 접속되어 있지 않은 상기 배선 기판의 이면에 외부 접속 단자를 구비하는 반도체 모듈.

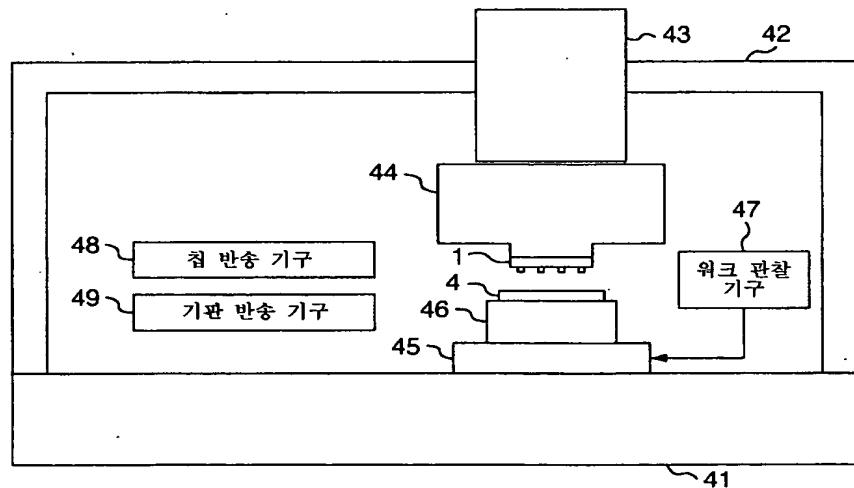
도면



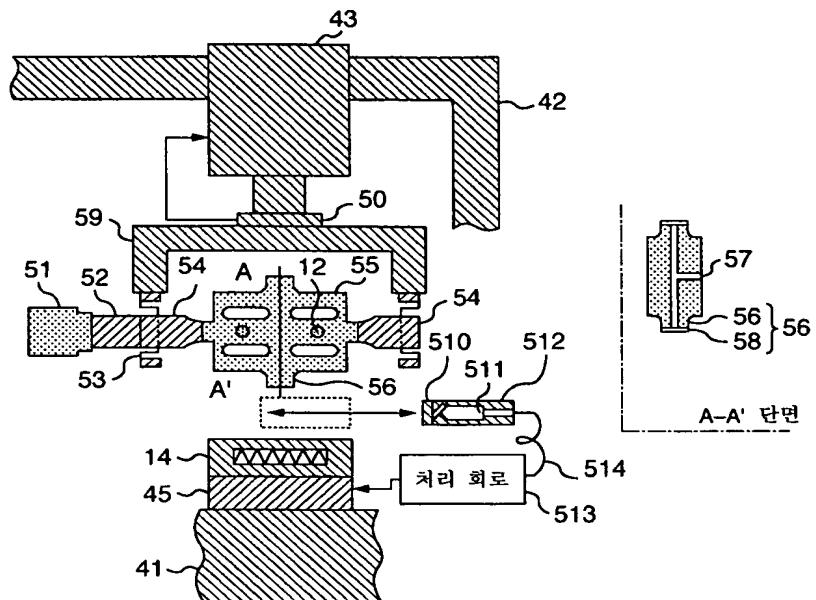
도면 3



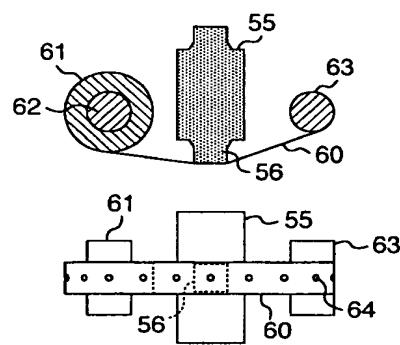
도면 4



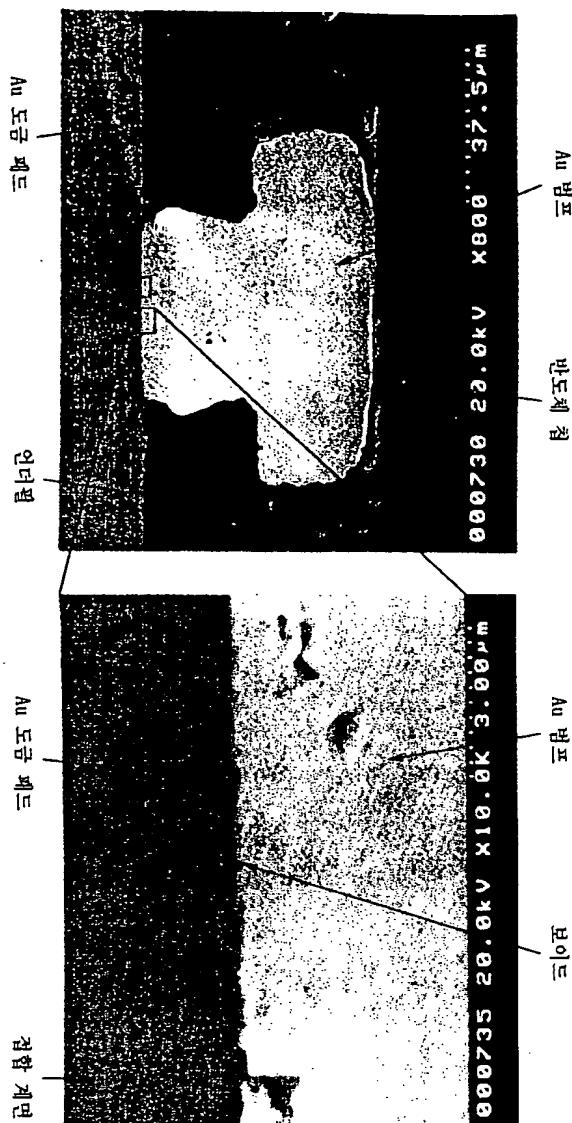
도면 5



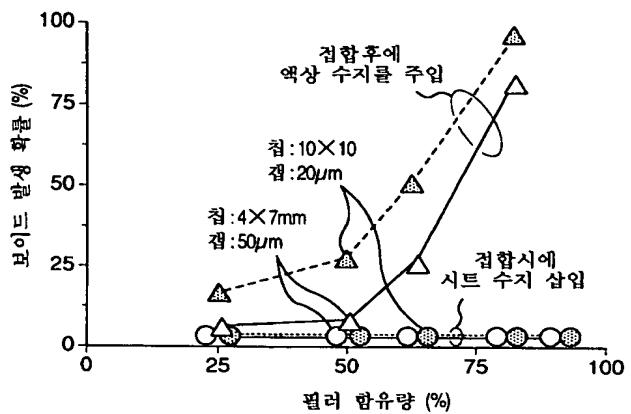
도면 6



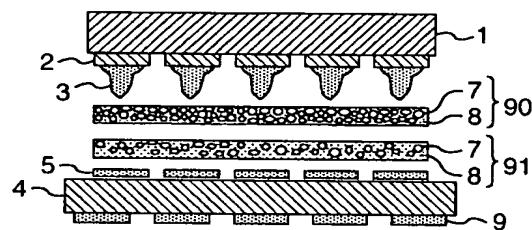
도면 7



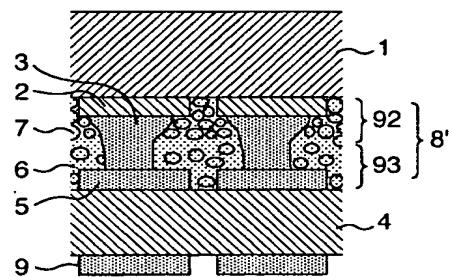
도면 8



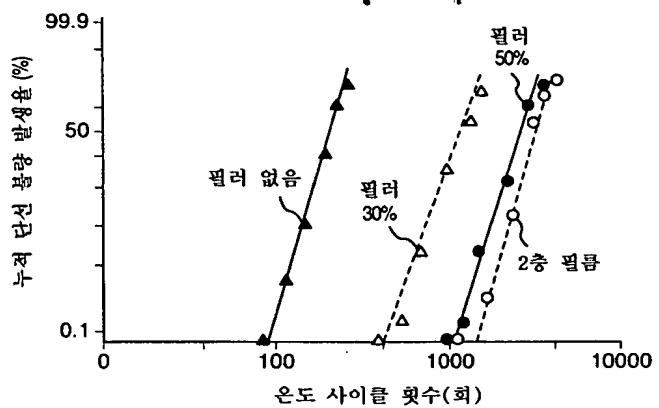
도면 9



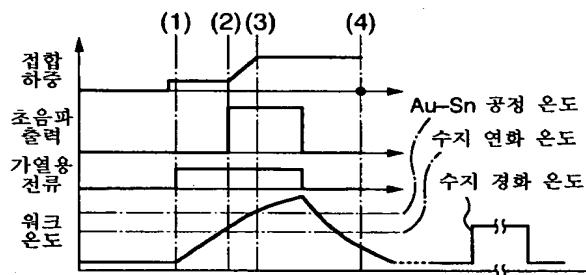
도면 10



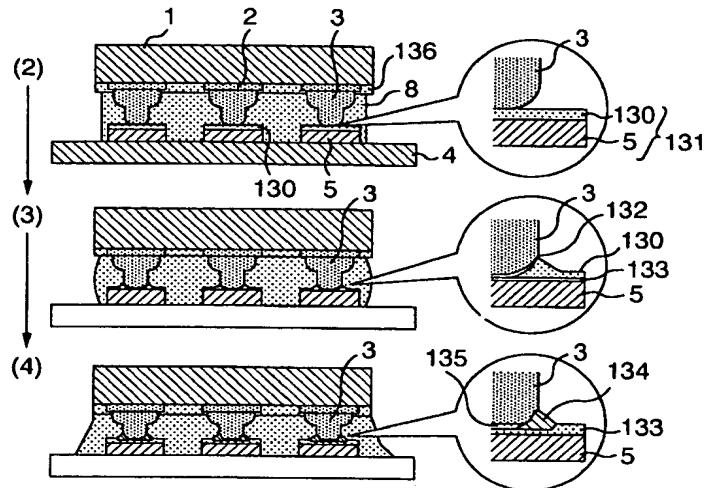
도면 11



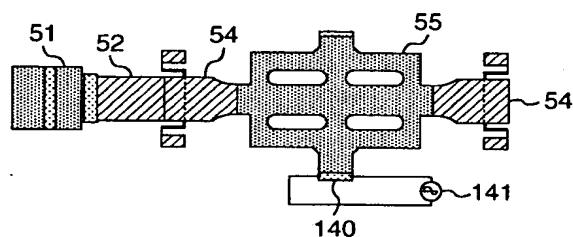
도면 12



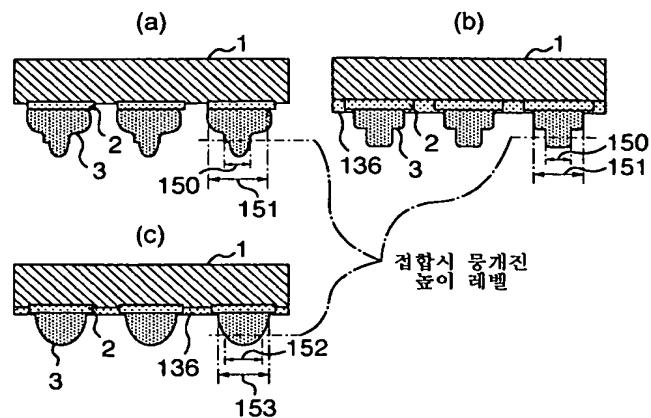
도면 13



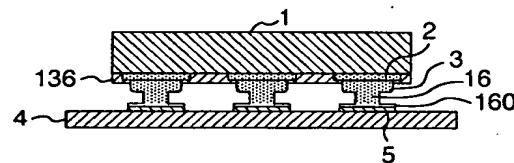
도면 14



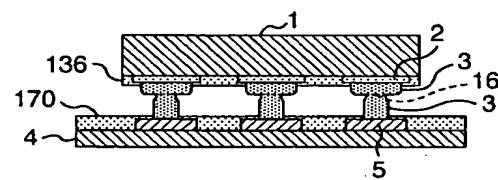
도면 15



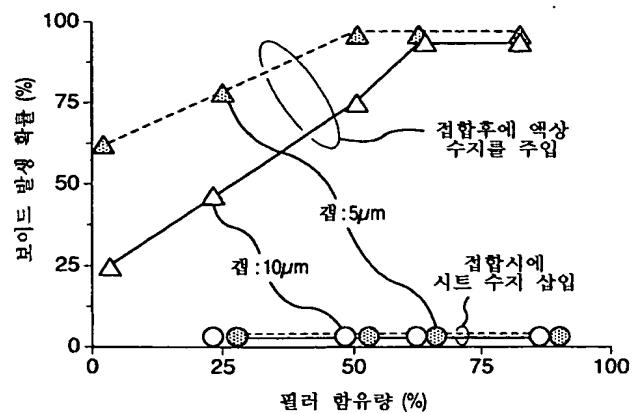
도면 16



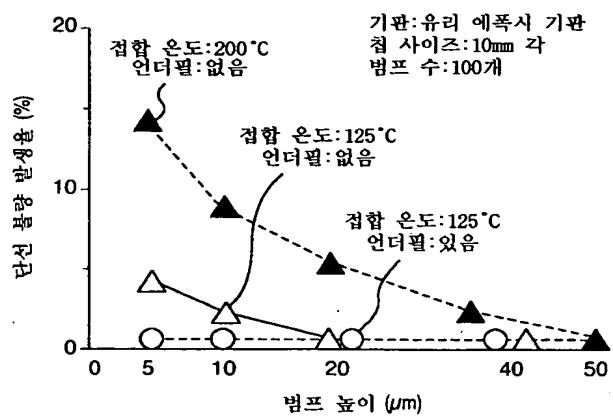
도면 17



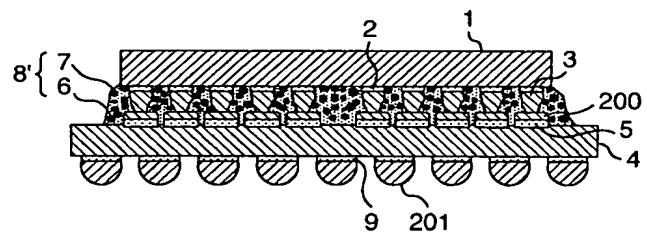
도면 18



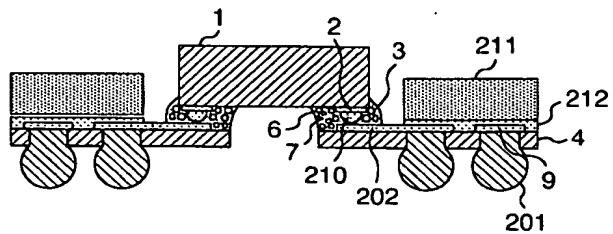
도면 19



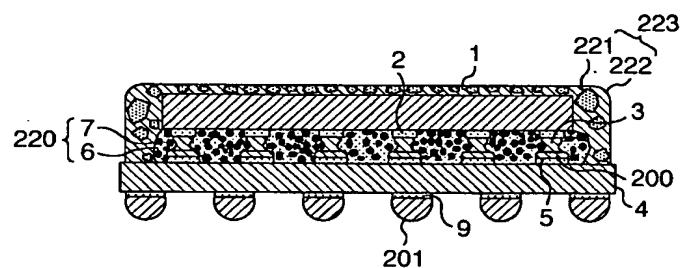
도면 20



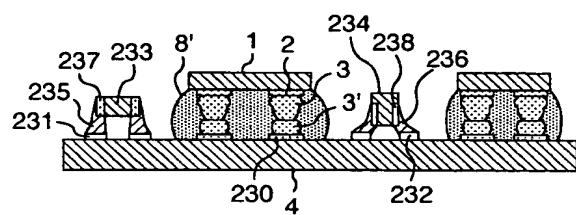
도면 21



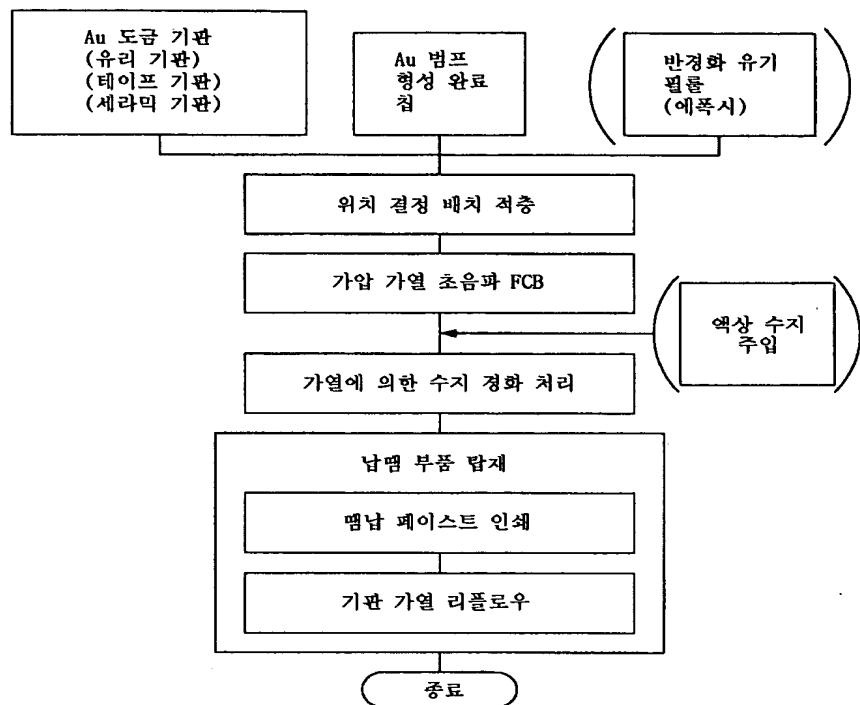
도면 22



도면 23

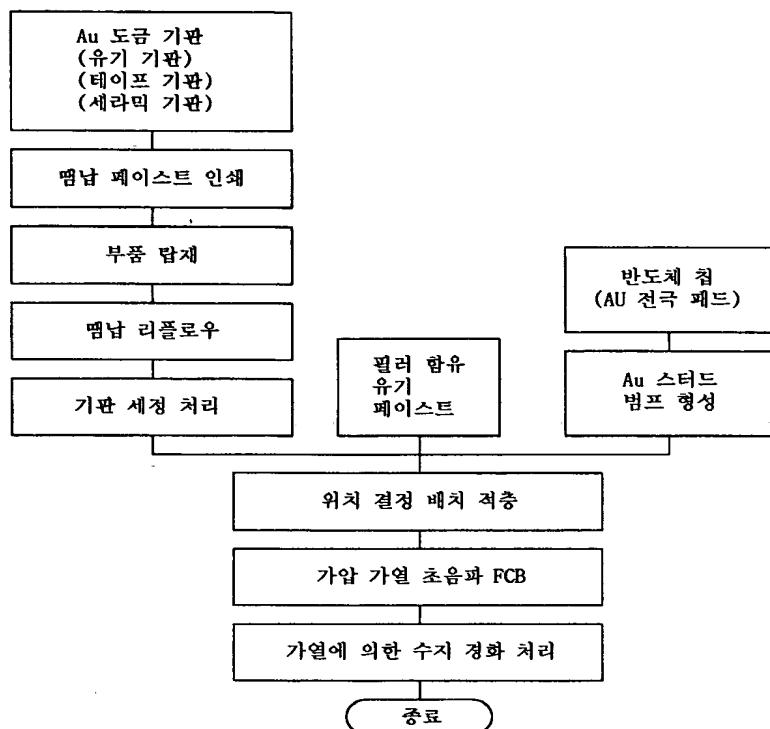


도면 24

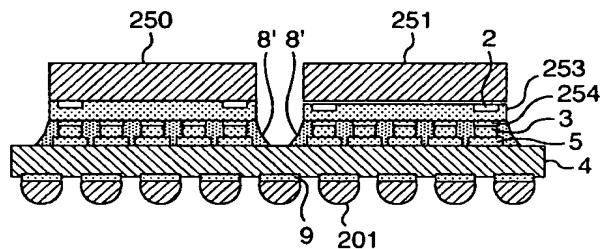


도면 25

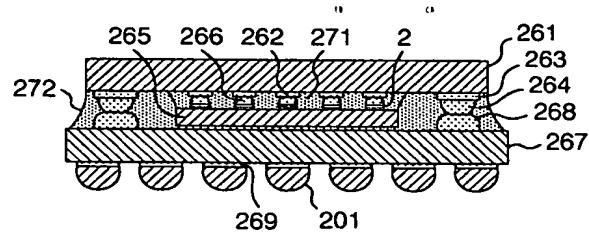
모듈 조립 수순 2



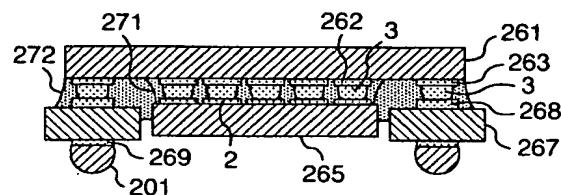
도면 26



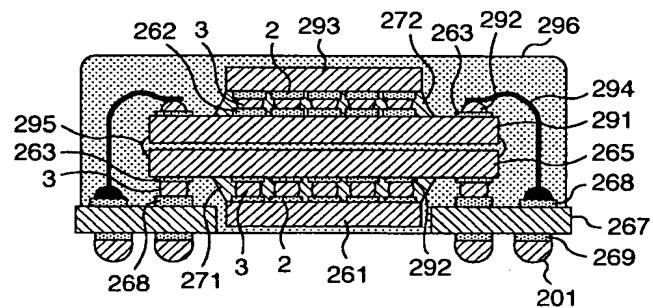
도면 27



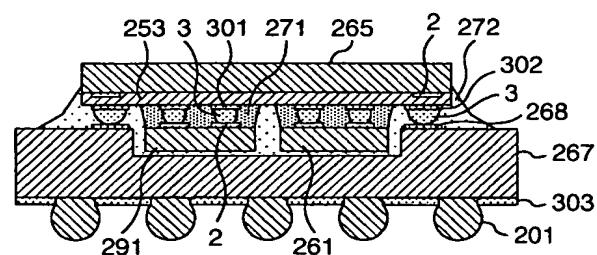
도면 28



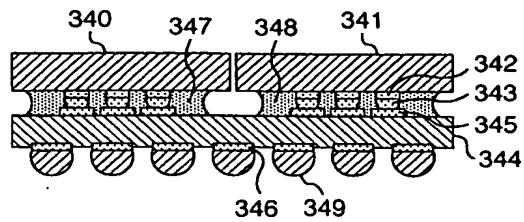
도면 29



도면 30



도면 31



도면 32

